

ADSP324 - 13

ハードウェア

ユーザーズ・マニュアル

中部電機株式会社



# 目次

1. 概説	1
2. 基本仕様	2
2.1 精度及び機能	2
2.2 コネクタ、ショートピン、ボリュームの配置	4
2.3 出荷時の設定	5
2.4 ボードの設置方法	6
2.5 入出力信号の接続方法	7
3. 初期設定	8
3.1 ボードアドレスの設定	9
3.2 サンプリング・クロックの選択、割り込み源の選択、A/D入力チャンネルの選択	10
3.3 割り込みフラグ	10
3.4 A/D入力チャンネルの選択(マルチ入力(オプション)の選択)	11
3.5 メモリマップ	11
3.6 割り込みコントロール・レジスタの設定	12
3.7 トリガレベルレジスタの設定	12
3.8 ゲインレジスタの設定	13
4. サンプリングモード	14
4.1 サンプリング・クロックの選択	14
4.2 オンチップタイマーの設定	16
4.3 オンチップタイマによる割り込み生成	17
5. 割り込み	18
5.1 割り込みフラグレジスタ	18
5.2 A/D変換終了割り込みの使用例	20
5.3 トリガ割り込みの使用例	21
6. ボードの制御とメモリマップ	22
6.1 A/Dコンバータの変換開始指令	23
6.2 A/Dコンバータの変換データの読み出し	23
6.3 D/Aコンバータへのデータの書き込み	23
6.4 A/Dコンバータのビジーフラグ(変換中)チェック	24
6.5 コントロール・レジスタの設定	25
6.5.1 A/D・D/Aコンバータの同期、非同期変換	25
6.5.2 割り込み信号のマスク制御	25
6.5.3 トリガスロープの選択	26
6.6 トリガレベルの設定	26
6.7 マルチ入力のチャンネル設定	27

7. A / D・D / A変換データの関係 .....	28
7.1 入力電圧とA / D変換データの関係 .....	28
7.2 出力データとD / Aコンバータの変換電圧との関係.....	28
8. A / Dコンバータの校正.....	29
8.1 入力段アンプ調整.....	29
8.2 オフセット調整 .....	30
8.3 スケール調整.....	30
9. D / Aコンバータの校正.....	31
9.1 出力電圧の校正.....	31
9.2 オフセット調整 .....	31
9.3 ゲイン調整.....	31
10. トリガレベルの校正.....	32
10.1 トリガレベル設定用D / Aコンバータの校正 .....	32
11. アナログ入出力コネクタのピン配置.....	32
12. 添付品 .....	33

## 1. 概説

「ADSP324-13」は弊社DSPボードADSP324シリーズ、ADSP674シリーズ専用の16bit A/D&D/A変換ボードです。

A/D・D/Aボード	DSPボード
ADSP324-13	ADSP324-00A
	ADSP674-00
	ADSP674-00H

表1 A/D・D/Aボードの一覧

### 主な機能は

本ボードは4台\*1まで増設可能である。

A/D入力は通常2chですがマルチ入力タイプ(オプション)は16ch(8ch×2)入力です。

A/Dコンバータ2chの同時変換が可能である。

D/Aコンバータは2chを任意に出力することができる。また外部変換開始信号によりD/Aの同時変換も可能である。

DSPボードに対する割り込みの発生は

\* A/D変換の終了

\* トリガの発生(マルチ入力タイプはできません。)

の2種類あり、いずれか一方を選択することができる。

また割り込みをマスクすることも可能である。

複数ボードから割り込みが発生した場合でも割り込みフラグを設定する事により8種類の識別が可能である。

アナログ入力がある電圧をよぎる時に割り込みを発生するトリガ機能が有り、トリガレベルとスロープの極性を設定する事ができる。(マルチ入力タイプはできません。)

トリガレベルは16bitで設定できる。

本ボードには自動変換開始機能があり、外部変換開始信号に同期させてA/DコンバータとD/Aコンバータの変換を同時に開始することができる。

外部変換開始信号は

\* TMS320C31(DSP)もしくはTMS320C67のオンチップタイマ0のカウントアップによるクロックアウト(TCLK0)信号

\* 外部クロック信号

の2種類があり、いずれか一方を選択することができる。

またA/D・D/A変換器を最大各8chまで同時変換させることができる。但しマルチ入力タイプ(特別仕様)のA/Dは上記の同時変換はできません。D/Aは可能です。

等があり、デジタル信号処理のアプリケーションに適した構成になっています。

【注意】\*1 DSPボードの拡張バスに接続できる最大ボード数は4枚です。

## 2. 基本仕様

### 2.1 精度及び機能

#### A / Dコンバータ部

分解能	16 bit
変換時間	10 $\mu$ sec / ch
チャンネル数	2 ch
変換順序	2 ch同時変換
データ読出時間	0.15 $\mu$ sec / ch
入力方式	作動入力
入力電圧範囲	$\pm 10$ V
自動変換開始機能	外部変換開始信号に同期して各チャンネル同時変換

#### A / Dマルチプレクサ入力部 (オプション)

セトリングタイム	30 $\mu$ sec / ch (チャンネル切替時)
チャンネル数	16 ch
入力方式	差動入力
入力電圧範囲	$\pm 10$ V
変換順序	2 ch同時変換
自動変換開始機能	無し

#### D / Aコンバータ部

変換精度	16 bit
変換時間	10 $\mu$ sec
チャンネル数	2 ch
変換順序	任意チャンネル変換、または2 ch同時変換
出力電圧範囲	$\pm 10$ V
出力電流	最大 5mA
出力インピーダンス	0.1 (DC)
自動変換開始機能	外部変換開始信号 (*EXTCLK・*TCLK0) に同期して各チャンネル同時変換

#### トリガ機能

トリガチャンネル	入力回路番号 A / D・00
比較電圧範囲	-10V ~ +10V
比較電圧分解能	16 bit
トリガスロープ極性	正・負プログラム可能
トリガ割り込み機能	有り、マスク可能

#### 割り込み

割り込みの発生源	A / D変換 (BUSY) の終了、トリガの発生
割り込みレベル	ADSP324-00A : INT3 ADSP674-00 : INT7
割り込みフラグ	8種類の識別可能
割り込みパルス幅	100 nsec

外部変換開始信号

DSPのオンチップタイマ0のカウントアップによるクロックアウト  
(TCLK0)信号

外部クロック信号 TTLレベル・不論理・立ち下がりエッジ  
入力プルアップ抵抗 4.7K

電源

アナログ回路電源内蔵  $\pm 1.5V$ 、250mA

デジタル回路電源 DC 5V、3A

## 2.2 コネクタ、ショートピン、ボリュームの配置

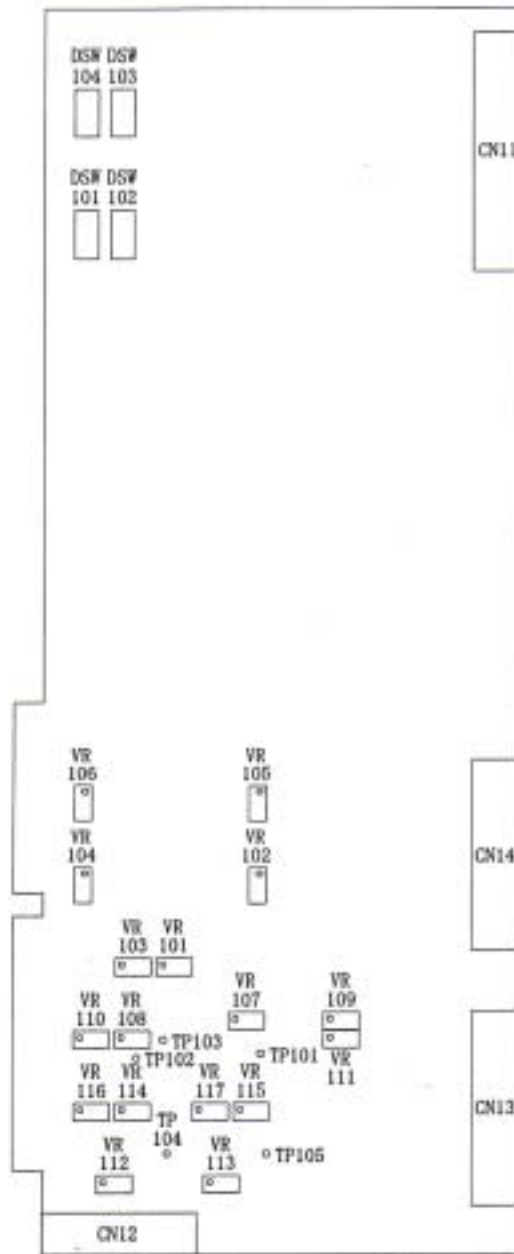


図1 ADSP324-13部品配置図



### 2.3 出荷時の設定

DSW101	1 2 3 4 5 6 7 8	<input type="checkbox"/>	ボードアドレス：900180h
ON			
OFF			
DSW102	1 2 3 4 5 6 7 8	<input type="checkbox"/>	ボードアドレス：900180h
ON			
OFF			
DSW103	1 2 3 4 5 6 7 8	<input type="checkbox"/>	ボードアドレス：900180h 自動変換機能：非選択 トリガ割込み：不可 A/D変換終了割込み：不可 入力チャンネル：2ch
ON			
OFF			
DSW104	1 2 3 4 5 6 7 8	<input type="checkbox"/>	割り込みフラグ：設定無し
ON			
OFF			
SP101	1 2 3 4	<input type="checkbox"/>	入力チャンネル：2ch
		3	
		2	
		1	
	ショート	オープン	

図2 ディップスイッチ・ショートピンの出荷時設定

## 2.4 ボードの設置方法

1. 本ボードを拡張スロットに装着します。
2. DSPボードのコネクタ(CN\*\*)と本ボードのCN11を拡張バスケーブルで接続します。

拡張バスケーブル	ADSP324-15	オプション
----------	------------	-------

ADSP324-13	DSPボード	
CN11	ADSP324-00A:CN12	
	ADSP674-00:CN11	
	ADSP674-00H:CN11	

3. A/D入力とD/A出力は下記のコネクタに接続します。

機種	コネクタ(2ch)	コネクタ(マルチ入力16ch)
ADSP324-13	CN12	CN13、CN14

表2 機種別アナログ入出力コネクタ表

## 2.5 入出力信号の接続方法

### 1. D/Aコンバータの出力は

OUT\* D/Aコンバータの出力  
AGND アナロググランド

で1組の出力回路を構成しています。  
出力用コネクタの信号配置は表3.8を参照して下さい。

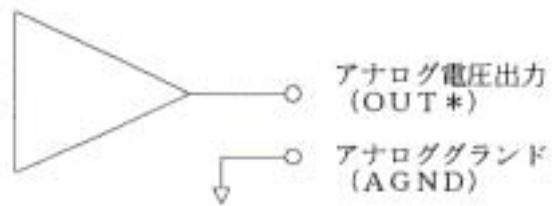


図3 D/Aコンバータの出力回路

### 2. A/Dコンバータの入力回路は差動入力回路となっています。 入力端子は

+IN\* バッファアンプの正転入力  
-IN\* バッファアンプの反転入力  
AGND アナロググランド

で1組の入力回路を構成しています。  
入力用コネクタの信号配置は表3.8を参照して下さい。

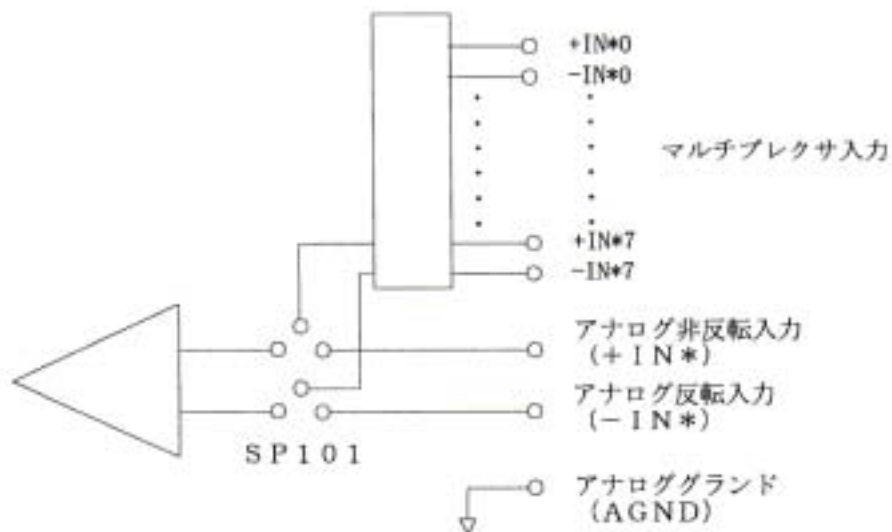


図4 A/Dコンバータ入力回路

### 3. 初期設定

本ボードで初期設定が必要なものはディップスイッチ【DSW101】～【DSW104】とメモリマップされた各レジスタがあります。ディップスイッチの設定は大きくわけて3つの部分から構成されています。

ボードアドレスの設定  
サンプリング・クロックの選択、割り込み源、マルチ入力の選択  
割り込みフラグの設定

またレジスタには

割り込みコントロール  
トリガレベル  
ゲイン

などがあり、機能内容の選択のために初期設定を行います。

【注意】ディップスイッチ論理は下記のように定義されています。

	ON	OFF
論理	0	1



表3 ディップスイッチの論理と設定

### 3.1 ボードアドレスの設定

ADSP324-03はアドレスラインのA00～A03をデコードし、10h(16)ワードの領域を使用します。そして【DSW101】・【DSW102】・【DSW103】を使ってA04～A23のアドレスを設定し900000h～90FFFFhの64Kワードの領域内に割り付けます。表4に【DSW101】～【DSW103】のアドレス信号割り付けと図7に設定例を示します。また、拡張ボード1台のDSPボードに対し4台まで接続することができますのでアドレスが重ならないように設定します。

DSW101		DSW102		DSW103	
DSW101	信号名	DSW102	信号名	DSW103	信号名
8	A23	8	A15	8	A07
7	A22	7	A14	7	A06
6	A21	6	A13	6	A05
5	A20	5	A12	5	A04
4	A19	4	A11	4	入力チャンネルの選択
3	A18	3	A10	3	変換開始モードの選択
2	A17	2	A09	2	外部クロックの選択
1	A16	1	A08	1	割り込み源の選択

表4 DSW101・DSW102・DSW103

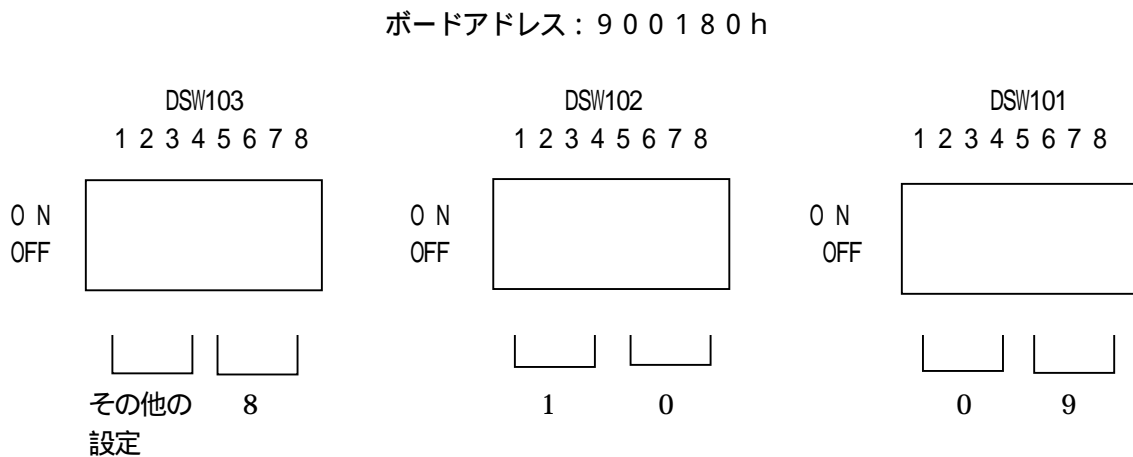


図5 ボードアドレスの設定

注意：ADSP324-00Aでは上記アドレスの通りに割り付けられますが、ADSP674-00では03000000～033FFFFFF(03000000～0303FFFFFFh)に割り付けられます。(ADSP674-00ハードウェアマニュアル「拡張バス」参照)

(例)本ボードADSP324-13のアドレスを900180hに設定した場合  
ADSP674-00、ADSP674-00Hのアドレスは03000600hになります。

### 3.2 サンプルング・クロックの選択、割り込み源の選択、A/D入力チャンネルの選択

【DSW103-1】～【DSW103-4】の設定内容を表5に示します。出荷設定時は図2の様に設定されています。詳細は4.1を参照して下さい。

DSW103	OFF	ON
4	2ch入力	16ch入力(マルチ入力)(オプション)
3	DSPによる変換開始	外部クロックによる変換開始
2	TCLK0による変換開始	EXTCLKによる変換終了
1	A/D変換終了による割り込み	トリガレベル検出による割り込み

表5 サンプルング・クロックの選択、割り込み源の選択、A/D入力チャンネルの選択

### 3.3 割り込みフラグ

割り込みフラグはどの周辺ボードが割り込みを発生しているかを識別するためのものです。各ボードに毎に任意のフラグを【DSW104】を使って設定することができます。DSPボードはこの割り込みフラグを90FFFFhのD00～D07より読み出すことができます。出荷時の設定を図6に示します。

DSW104		
DSW104	信号名	90FFFFh
8	割り込みフラグ8	D07
7	割り込みフラグ7	D06
6	割り込みフラグ6	D05
5	割り込みフラグ5	D04
4	割り込みフラグ4	D03
3	割り込みフラグ3	D02
2	割り込みフラグ2	D01
1	割り込みフラグ1	D00

表6 DSW104

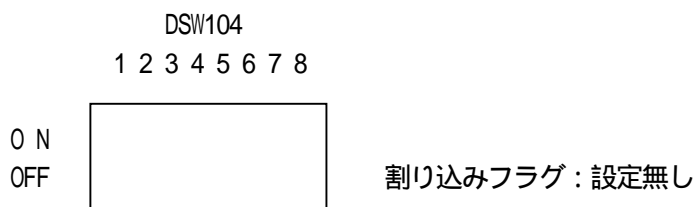


図6 割り込みフラグの設定

### 3.4 A/D入力チャンネルの選択 (マルチ入力 (オプション) の選択)

特別仕様 (オプション) のマルチ入力 (16ch) タイプのボードは、【DSW101-4】をONに設定し、且つ【SP101-1】~【SP101-4】を2番ピンと3番ピンをショートさせてください。

標準仕様2ch入力は【DSW101-4】をOFF、且つ【SP101-1】~【SP101-4】を1番ピンと2番ピンをショートさせてください。

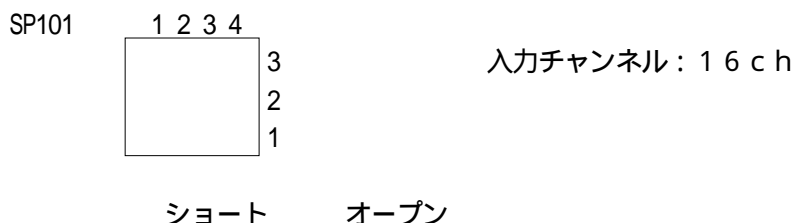


図7 マルチ入力用のショートピンの設定

### 3.5 メモリマップ

本ボードのベースアドレスを900180hに設定した場合のメモリマップを表7に示します。割り込みコントロール・レジスタ、トリガレベル設定、ゲイン設定は操作内容により初期設定が必要になります。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900180h	900180h	03000600h	A/D変換開始	A/D・0 (00~07) データ入力
900181h	900181h	03000604h	A/D変換開始	A/D・1 (10~17) データ入力
900182h	900182h	03000608h		
900183h	900183h	0300060Ch		
900184h	900184h	03000610h	D/A・00へのデータ出力	
900185h	900185h	03000614h	D/A・01へのデータ出力	
900186h	900186h	03000618h		
900187h	900187h	0300061Ch		
900188h	900188h	03000620h		A/D ビジーフラグ
900189h	900189h	03000624h	割り込みコントロール	
90018Ah	90018Ah	03000628h	トリガレベル	
90018Bh	90018Bh	0300062Ch	ゲイン	
90018Ch	90018Ch	03000630h	割り込みフラグリセット	
90018Dh	90018Dh	03000634h	マルチチャンネル設定	
90018Eh	90018Eh	03000638h		
90018Fh	90018Fh	0300063Ch		
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグリセット	割り込みフラグ読みだし

マルチ入力タイプ (16チャンネル) は、00ch~07chまでのデータは900180ch。10~17chまでのデータは900181chです。

表7 メモリマップ

### 3.6 割り込みコントロールレジスタの設定

割り込みコントロールレジスタは、A/D・D/A同時変換機能をA/D・D/A同時変換(同期)・A/Dのみ同時変換し、D/Aは任意出力(非同期)の選択と割り込みの許可・不許可の選択とトリガレベル割り込みが選択された場合のトリガスロープの選択を行います。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。詳細は6.5を参照して下さい。

割り込みコントロールレジスタ	0	1
bit 2	同期	非同期
bit 1	割り込み不可	割り込み可
bit 0	トリガスロープ	トリガスロープ

表8 割り込みコントロールレジスタ

### 3.7 トリガレベルレジスタの設定

A/D・0の入力電圧が、あるトリガレベル電圧を、選択されたスロープで横切る時に割り込みが発生します。その割り込みが発生するトリガレベル電圧を設定します。電源投入時にはこの電圧は0Vです。

トリガレベル電圧範囲	16bit ±10V	初期値:0V
------------	------------	--------



### 3.8 ゲインレジスタの設定

ゲインレジスタはA/D変換器入力段の差動アンプの増幅度を設定します。電源投入時のゲインは1です。

ゲイン	1	2	4	8
$2^1$	0	0	1	1
$2^0$	0	1	0	1

表9 ゲインコード

bit	ゲインレジスタ	
31	0	
⋮	⋮	
5	0	
4	$2^1$	A/Dch1のゲイン
3	$2^0$	A/Dch1のゲイン
2	$2^1$	A/Dch0のゲイン
1	$2^0$	A/Dch0のゲイン

表10 ゲインレジスタの内容

【注意】マルチプレクサ入力時のA/Dch00~07のゲインはbit0,1。  
A/D10~17のゲインはbit2,3に対応します。

## 4. サンプルングモード

### 4.1 サンプルング・クロックの選択

本ボードのサンプルングモードは表 11 の様に 4 種類の中から選択する事が出来ます。そしてサンプルングを外部変換開始信号に同期させて A / D コンバータと D / A コンバータの各チャンネルを同時に変換させることも可能です。さらに 4 種類のモードすべてに於いて A / D 変換終了の確認を A / D 変換終了割り込みを使って知ることができます。

**EXTCLK** ボードの外部からサンプルング信号を与え、変換を開始させる時に使用します。入力信号は TTL レベル負論理で立ち下りのエッジに同期されます。複数台に EXTCLK を入力すれば複数台の同時サンプルングが可能となります。

A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。5.2 を参照して下さい。

**TCLK0** DSP (TMS320C31) 内のオンチップタイマの【タイマ0】で生成されたパルスを出力するピンの信号が DSP 拡張バスに出力されています。この信号を利用する事により複数台の A / D・D / A ボードに同期をかける事ができます。この場合、タイマ0の割り込みは使用しません。A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。4.2、5.2 を参照して下さい。

**おチップタイマ** DSP (TMS320C31) 内のオンチップタイマの【タイマ0】或いは【タイマ1】を使ってサンプルング周期を決め周期毎に割り込みを発生させ、割り込み処理ルーチンの中で A / D コンバータの読み出しや、A / D コンバータの変換開始、D / A コンバータへの出力を行います。

**任意** 任意のタイミングで A / D 変換・D / A 変換を行います。

**【注意】** 複数台の A / D・D / A ボードを使用する場合は 1 台のみ割り込みを可能となるよう設定して下さい。  
トリガ割り込みを使っている時には A / D 変換終了割り込みは使用できません。

	EXTCLK	TCLK0	おチップタイマ-割り込み	任意タイミング
変換開始モード	自動変換	自動変換	DSP 起動	DSP 起動
DSW103-3	ON	ON	OFF	OFF
DSW103-2	ON	OFF	OFF	OFF
DSW103-1	OFF	OFF	OFF / ON	OFF / ON
用途	外部信号にサンプルングを同期させて行う。	おチップタイマ-のアップ信号にサンプルングを同期させて複数台を同時に行う。	おチップタイマ-の割り込みにサンプルングを同期させて行う。	任意のタイミングでサンプルングを行う。

表 11 サンプルング信号の選択

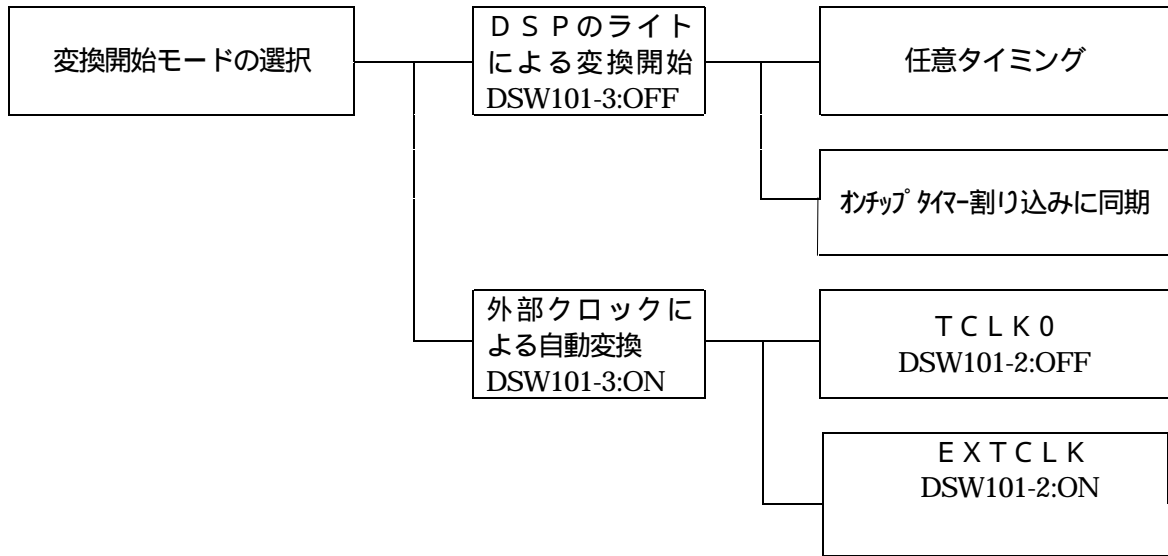


図8 変換開始モードの選択

## 4.2 オンチップタイマーの設定

オンチップタイマーを使用するためにはグローバル制御レジスタとタイマ周期レジスタの初期設定をしなければなりません。タイマ・カウンタ・レジスタはタイマ周期に至る途中の値を示しており、これらのレジスタはDSPチップ内にあります。タイマ関連のメモリマップを表12に示します。

本ボードのサンプリングをオンチップタイマーのクロックアウト信号(\*TCLK0)による自動変換を行うためには【タイマ0】に関連したレジスタを設定しなければなりません。そのためタイマ0のグローバル制御レジスタは表13の様に設定します。なお、タイマのスタートとストップはGOと\*HLDを表14の様に設定します。

これはADSP324-00A、TMS320C31の例です。

タイマ周期の設定は次の計算式により決定されます。

$$\begin{aligned} \text{内部クロックソース} &= f(H1) \div 2 \\ &= 20\text{MHz} \div 2 \\ &= 10\text{MHz} \end{aligned}$$

$$\text{タイマ出力周波数} = \text{内部クロックソース}(10\text{MHz}) \div \text{周期レジスタ}$$

	タイマー0	タイマー1
グローバル制御レジスタ	808020h	808030h
タイマ・カウンタ・レジスタ	808024h	808034h
タイマ周期レジスタ	808028h	808038h

表12 タイマ関連のメモリマップ

グローバル制御レジスタ			
bit	名称	論理	機能
0	FUNK	1	TCLKはタイマピンとなる。
6	GO	1/0	GO=1&HLD=0:タイマスタート
7	*HOLD	1/0	GO=0&HLD=1:タイマストップ
8	C/*P	0	パルスモードを選択。パルス幅は1/f(H1)
9	CLKSRC	1	タイマ・カウンタは内部クロックをカウントする。
10	INV	1	TCLKの出力は反転されて負論理となる。

表13 グローバル制御レジスタ

	GO(bit6)	*HLD(bit7)
スタート	1	1
ストップ	0	0

表14 オンチップタイマのスタートとストップ

### 4.3 オンチップタイマによる割り込み生成

オンチップタイマはタイマ・カウンタ・レジスタの値がタイマ周期レジスタの値に到達する度に割り込みを発生させることができます。タイマ周期毎に割り込みを発生させるためにはIEレジスタ(インタラプト・イネーブル・レジスタ:表15)のタイマ0、タイマ1に対応したbitを1にします。オンチップタイマのタイマ周期毎の割り込み時にA/D・D/Aコンバータのサンプリング等を行います。またIFレジスタ(表16)のビット値が【1】になっているところは割り込みがあったかどうかを示しています。そして割り込みフラグを確認した後、次の割り込みのためにそのフラグをリセットしておきます。割り込みが発生したときに処理すべきプログラムのアドレスを割り込みベクタアドレス(表17)に格納しておきます。

- 注意 1. TMS320C31はステータスレジスタ(ST)のGIE(bit13)の値が【1】に設定されていなければ割り込みには応答できません。  
2. 本ボードが発生する割り込みはDSPの【INT3】です。

bit	IEレジスタ	
8	ETINT0	タイマ0割り込みイネーブル
9	ETINT1	タイマ1割り込みイネーブル

表15 IEレジスタ

bit	IFレジスタ	
8	TINT0	タイマ0割り込みフラグ
9	TINT1	タイマ1割り込みフラグ

表16 IFレジスタ

割り込みベクタアドレス	
INT3	04h
TINT0	09h
TINT1	0Ah

表16 割り込みベクタアドレス

## 5 . 割り込み

D S Pボードに対する割り込みの発生は『トリガ割り込み』と『A / D変換終了割り込み』の2種類あり、ディップスイッチ【D S W 1 0 3 - 1】の設定によりいずれか一方を選択することができます。(表18)

外部変換開始信号に同期させてサンプリングを行う場合は『A / D変換終了割り込み』を選択して下さい。

D S W 1 0 3	O F F	O N
1	A / D変換終了による割り込み	トリガレベル検出による割り込み

表18 割り込み源の選択

そして選択された割り込み源は割り込みコントロールレジスタの設定によりソフトウェア的に割り込みをマスクすることができます。(6.5参照)また、割り込みが発生した場合に『割り込みフラグレジスタ』を読み出すことにより、どのボードが割り込みを発生したかの確認ができます。

【注意】複数台の本ボードを使用し、1種類の外部クロックに同期して変換を行う場合にはそのうちの1台のみ割り込みが可能になるよう設定して下さい。マルチ入力タイプはトリガレベル検出による割り込みはできません。

### 5 . 1 割り込みフラグレジスタ

割り込みフラグレジスタはどのボードが割り込みを発生しているかを識別するためのレジスタでこのレジスタは【90FFFFh】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。そして本ボードが割り込みを発生したときに、この割り込みフラグレジスタのどのビットに【0】をたてるかを【D S W 1 0 4】を使って選択します。割り込みの識別できる数は8つです。割り込みフラグレジスタは【bit0】～【bit7】までの8bitで構成され、【bit8】～【bit31】までは常に【1】となっています。

そして割り込みを示している【bit】のみリセットする場合は【ベースアドレス+Ch】番地に書き込み動作を行う事により(データは何でも良い)そのフラグビットをリセットすることができます。また【90FFFFh】に書き込み動作を行う事によりレジスタ全体をリセットすることができます。

割り込みフラグレジスタ	R E A D	W R I T E
ベースアドレス+Ch	- - - - -	指定bitリセット
90FFFFh	レジスタ読み出し	全bitリセット

表19 割り込みフラグレジスタのメモリマップ

割り込みフラグレジスタ			
bit	割り込み有り	割り込み無し	DSW104
31	- - - - -	1	- - - - -
·	- - - - -	1	- - - - -
·	- - - - -	1	- - - - -
·	- - - - -	1	- - - - -
·	- - - - -	1	- - - - -
8	- - - - -	1	- - - - -
7	0	1	8
6	0	1	7
5	0	1	6
4	0	1	5
3	0	1	4
2	0	1	3
1	0	1	2
0	0	1	1

表20 割り込みフラグレジスタの構成

DSW104	ON	OFF	接続先
8	接 続	非接続	D07
7	接 続	非接続	D06
6	接 続	非接続	D05
5	接 続	非接続	D04
4	接 続	非接続	D03
3	接 続	非接続	D02
2	接 続	非接続	D01
1	接 続	非接続	D00

表21 DSW104の割り込みフラグレジスタへの割付

## 5.2 A/D変換終了割り込みの使用例

自動変換機能を行っているときに、外部変換開始信号に同期してA/Dコンバータは変換が開始され、またD/Aコンバータは前回D/Aコンバータのバッファに蓄えられたデータを出力します。

A/DコンバータがA/D変換終了の割り込みを発生するとDSPは『INT3』、C67は『INT7』のベクタアドレスに格納されている割り込み処理ルーチンにジャンプし、割り込みフラグレジスタを読み込みます。そしてその割り込みに対応したA/Dコンバータより最新のデータを取り込みます。

さらにDSPはユーザの『ある処理』を行い、その結果をD/Aコンバータのバッファに書き込み、一時的にデータを蓄え次回の外部変換開始信号に備えます。

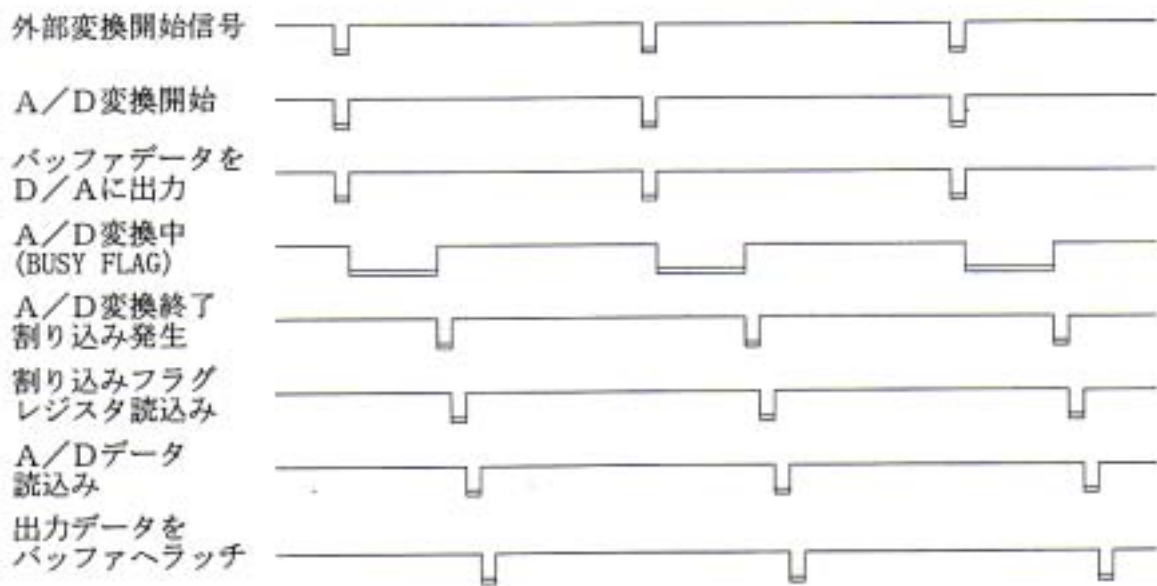


図9 A/D変換終了割り込みを使ったA/D・D/A変換タイムチャート



### 5.3 トリガ割り込みの使用例

デジタルオシロスコープのトリガの様に使うことができます。A/D変換は外部変換開始信号に同期して行い、DSPはA/Dコンバータのビジーフラグ(BUSY FLAG)を確認しながらデータを取り込みメモリのバッファ領域に格納していきます。この動作を繰り返しているうちに入力信号がトリガレベルをよぎると割り込みが発生します。そしてこの点を基にトリガモード(プリトリガ・センタートリガ・ポストトリガ)に基づいてデータの取り込みをおこないます。

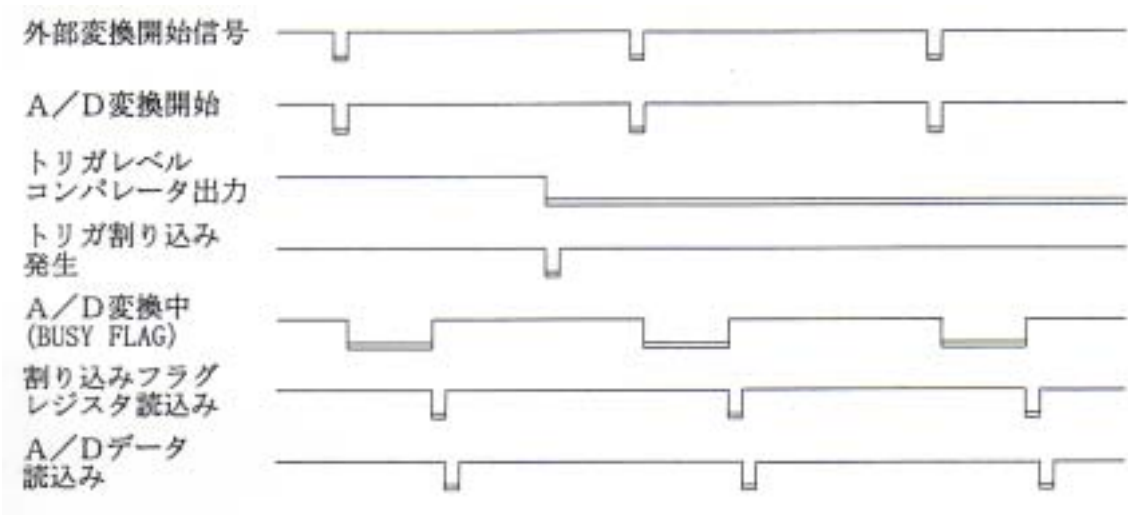


図10 トリガレベル割り込みを使ったA/D変換タイムチャート

## 6. ボードの制御とメモリマップ

本ボードは10h (16番地)のメモリ領域を使用しています。本ボードのベースアドレスは【DSW101】・【DSW102】・【DSW103】を使い設定します。本ボードを複数台使用した場合は各ボードのメモリマップが重ならないようにベースアドレスを設定します。

ボードのソフトウェアによる制御には

1. A/Dコンバータの変換開始指令
2. A/Dコンバータの変換データの読み出し
3. D/Aコンバータへのデータの書き込み
4. A/Dコンバータのビジーフラグ(変換中)チェック
5. A/D・D/Aコンバータの同期、非同期変換
6. 割り込み信号のマスク制御
7. トリガスロープの選択
8. トリガレベルの設定
9. 割り込みフラグの読み出しとリセット
10. マルチ入力チャンネル指定

等があります。

表22にベースアドレスを【900180h】に設定した場合のメモリマップを示します。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900180h	900180h	03000600h	A/D変換開始	A/D・0(00~07)データ入力
900181h	900181h	03000604h	A/D変換開始	A/D・1(10~17)データ入力
900182h	900182h	03000608h		
900183h	900183h	0300060Ch		
900184h	900184h	03000610h	D/A・00へのデータ出力	
900185h	900185h	03000614h	D/A・01へのデータ出力	
900186h	900186h	03000618h		
900187h	900187h	0300061Ch		
900188h	900188h	03000620h		A/Dビジーフラグ
900189h	900189h	03000624h	割り込みコントロール	
90018Ah	90018Ah	03000628h	トリガレベル	
90018Bh	90018Bh	0300062Ch	ゲイン	
90018Ch	90018Ch	03000630h	割り込みフラグリセット	
90018Dh	90018Dh	03000634h	マルチチャンネル設定	
90018Eh	90018Eh	03000638h		
90018Fh	90018Fh	0300063Ch		
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグリセット	割り込みフラグ読みだし

マルチ入力タイプ(16チャンネル)は00ch~07chまでのデータ 900180ch、10ch~17chまでのデータ 900181ch です。

表22 メモリマップ

## 6.1 A/Dコンバータの変換開始指令

A/Dコンバータの変換開始指令は各ボード上の【ベースアドレス+0h】と【ベースアドレス+1h】の1つの番地にメモリ書き込み動作を行うことにより実行されます。変換開始指令について本ボードはアドレスの下位1ビット以上をデコードしているため【ベースアドレス+0h】と【ベースアドレス+1h】のどのアドレスに書き込みを行っても2chのA/Dコンバータに同時に変換開始指令が発せられます。

A/Dコンバータの制御手順は、まず始めにA/Dコンバータに変換指令を与えます。A/Dコンバータはメモリ空間にマップされていますのでそのアドレスに書き込み動作を行うことにより変換を開始させることができます。その後300ns後にビジーフラグを入力し、変換が終了したか(ビジーフラグ=1)を調べます。変換終了を確認した後に変換データを取り出します。変換中(ビジーフラグ=0)のデータは正しい変換データではありません。なお、変換終了割り込みを利用することによりビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。

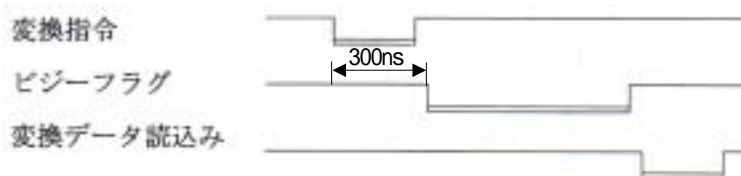


図11 A/Dコンバータの制御タイミングチャート

## 6.2 A/Dコンバータの変換データの読み出し

A/Dコンバータの変換データの読み出しは、各ボードのベースアドレスを含めた4番地の間でベースアドレスから順にA/Dコンバータのアドレスが割り当てられているので、各チャンネルに対応したアドレスからメモリデータの読み出し動作を行うことにより実現されます。変換データの読み出しアドレスの詳細は表22を参照してください。

## 6.3 D/Aコンバータへのデータの書き込み

D/Aコンバータのアナログ電圧出力は、D/Aコンバータへのデータの書き込みにより実現されます。またD/Aコンバータの出力モードには2つのモードがあり【DSW103-3】の選択により動作が異なります。このスイッチが【OFF】の時、データは直後D/Aコンバータに直接書き込まれアナログ出力はすぐに変化します。一方【ON】でコントロールレジスタのbit2が“0”の場合はデータはバッファ回路にラッチ(記憶)されます。そして【TCLK0】あるいは【EXTCLK】のいずれかに同期してD/Aコンバータに書き込まれます。(表11)また、この時にA/Dコンバータも同期して変換を開始します。

各ボードの【ベースアドレス+4h】と【ベースアドレス+5h】にD/Aコンバータのアドレスが割り当てられているので、各チャンネルに対応したメモリアドレスにアナログ電圧に相当したデータを書き込みます。変換データの書き込みアドレスの詳細は表22を参照して下さい。

#### 6.4 A/Dコンバータのビジーフラグ(変換中)チェック

ビジーフラグは各ボードの【ベースアドレス+8h】にあり、その番地からデータを読み出すことによりA/Dコンバータが現在変換中かどうかを調べることができます。変換中はA/Dコンバータから読み出したデータは正しいものではありません。ビジーフラグがアクティブ【0】でなくなった後に正しい変換データを読み出します。なお、変換終了割り込みを利用する事によりビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。(参照5.2)

ビジーフラグ	意味
0	変換中
1	変換終了

表23 ビジーフラグの定義

また各ボードの【ベースアドレス+8h】から読み出したビジーフラグデータのビットマップは表24の様に定義されています。

bit	定義
0	A/D 0(00~07)ビジー
1	A/D 1(10~17)ビジー
2	1
・	1
・	1
・	1
31	1

マルチ入力タイプは00ch~07chまでのビジーはbit0、10ch~17chまでのビジーはbit1です。

表24 ビジーフラグ読み出しデータのビットマップ

## 6.5 コントロールレジスタの設定

### 6.5.1 A/D・D/Aコンバータの同期、非同期変換

【DSW103-3】を【ON】でコントロールレジスタの【bit2】を【0】にすることにより【TCLK0】か【EXTCLK】のいずれかに同期してA/D・D/Aコンバータを同時変換することができます。コントロールレジスタの【bit2】を【1】にするとA/Dコンバータのみクロックに同期して変換し、D/Aコンバータは各チャンネルごとデータの書き込みにより変換を行います。

割り込みコントロールレジスタ	0	1
bit2	同期	非同期
bit1	割り込み不可	割り込み可
bit0	トリガースロープ	トリガースロープ

表25 A/D・D/Aコンバータ同期変換コントロールレジスタ

### 6.5.2 割り込み信号のマスク制御

『A/D変換終了割り込み』、或いは『トリガの発生による割り込み』の発生は制御レジスタの【bit1】を【1】にすると割り込み可となり【0】にするとマスクすることができます。割り込み信号源は【DSW103-1】により選択することができます。

割り込みコントロールレジスタ	0	1
bit2	同期	非同期
bit1	割り込み不可	割り込み可
bit0	トリガースロープ	トリガースロープ

表26 割り込みコントロールレジスタ

### 6.5.3 トリガスロープの選択

A/Dコンバータ【0ch】の入力信号がトリガレベル電圧を横切る場合にトリガとなり割り込み（INT3）（C67はINT7）を発生します。但し、【DSW103-1】と割り込みコントロールレジスタの設定が必要となります。

その時に入力信号がトリガレベル電圧より高い電圧から、トリガレベル電圧より低い電圧に変化する場合を『負のスロープ』、また入力信号がトリガレベル電圧より低い電圧から、トリガレベル電圧より高い電圧に変化する場合を『正のスロープ』と呼びます。そしてどちらのスロープでトリガを発生させるかを割り込みコントロールレジスタの【bit0】の値で選択します。

DSW103	選 択	内 容
4	ON/OFF	関係しない
3	ON/OFF	関係しない
2	ON/OFF	関係しない
1	O N	トリガレベル検出による割り込み

割り込みコントロールレジスタ	0	1
bit2	同期	非同期
bit1	割り込み不可	割り込み可
bit0	トリガースロープ	トリガースロープ

表27 トリガスロープの設定

### 6.6 トリガレベルの設定

トリガレベルの設定は各ボードのA/Dコンバータ【0ch】の入力信号に付いてのみ設定することができます。本ボードにはトリガレベル設定用のD/Aコンバータと、入力信号とトリガレベルとの比較を行うコンパレータが内蔵されています。設定分解能と設定電圧範囲は下記のとおりです。またD/Aコンバータのコードはバイナリ・ツーズ・コンプリメントです。

設定分解能	設定電圧範囲
16 bit	-10V ~ +10V

出力電圧範囲	±10V
出力データ	変換出力電圧
7FFFh	9.999695V
...	...
1h	305μV
0h	0V
FFFFh	-305μV
...	...
8000h	-10V

表28 トリガレベル電圧とコード

## 6.7 マルチ入力チャンネル設定

マルチ入力チャンネル設定は各ボードの【ベースアドレス+Dch】にあり、この番地に指定チャンネル(0ch~7ch)を設定して下さい。マルチプレクサによりCN13の00ch~07chの指定したチャンネルがA/D 0chに接続され、CN14の10ch~17chの指定したチャンネルがA/D 1chに接続されます。(図6参照)

チャンネルの変更ごとにセトリングタイムとして30 $\mu$ sec以上必要なので、必ず30 $\mu$ sec以上待った後A/D変換開始(【ベースアドレス+0ch】か【ベースアドレス+1ch】に書き込み動作を行う)を行ってください。(6.1参照)

この場合にも2ch同時変換が行われます。0chを指定するとA/D 0ch(【ベースアドレス+0ch】)にはCN13-00ch、A/D 1ch(【ベースアドレス+1ch】)にはCN14-10chのデータが変換されます。

マルチ入力指定チャンネル	A/D 0ch	A/D 1ch
0ch	CN13-00ch	CN14-10ch
1ch	CN13-01ch	CN14-11ch
2ch	CN13-02ch	CN14-12ch
3ch	CN13-03ch	CN14-13ch
4ch	CN13-04ch	CN14-14ch
5ch	CN13-05ch	CN14-15ch
6ch	CN13-06ch	CN14-16ch
7ch	CN13-07ch	CN14-17ch

表29 マルチ入力指定チャンネルとデータ入力

## 7. A/D・D/A変換データの関係

### 7.1 入力電圧とA/D変換データの関係

入力電圧とA/Dコンバータの変換データとの関係を表29に示します。

【バイナリ・ツーズ・コンプリメント】

入力電圧範囲 $\pm 10V$	A/D変換データ
9.999542V以上	7FFFh
9.999237V~9.999542V	7FFEh
	...
0.000153V~0.000458V	0001h
-0.000153V~+0.000153V	0000h
-0.000458V~-0.000153V	FFFFh
	...
-9.999847V~-9.999542V	8001h
-9.999847V以下	8000h

表30 入力電圧  $\pm 10V$  とA/D変換データ

### 7.2 出力データとD/Aコンバータの変換電圧との関係

出力データとD/Aコンバータの変換出力電圧との関係を表31に示します。

【バイナリ・ツーズ・コンプリメント】

出力電圧範囲	$\pm 10V$
出力データ	変換出力電圧
7FFFh	9.999695V
...	...
1h	305 $\mu V$
0h	0V
FFFFh	-305 $\mu V$
...	...
8000h	-10V

表31 D/Aコンバータの変換出力電圧



## 8 . A / Dコンバータの校正

本ボードには入力レンジの変換や経時変化によるオフセット電圧やスケール電圧の調整が必要です。 / Dコンバータの校正は次の手順に従っておこなってください。

- 入力段アンプの調整
- オフセットの調整
- スケール調整

### 8 . 1 入力段アンプ調整

入力段アンプは入力電圧範囲の切り替え、或いはデバイスの経時変化により出力電圧が変動します。そのための調整が必要となり、下記の手順で行います。

#### 入力段アンプのリファレンス出力用アンプ (基準電圧) の調整

入力段アンプのリファレンスを【0V】に調整するために、入力段アンプのリファレンス出力用アンプの調整を行います。それぞれのチャンネルに対応した入力段アンプのリファレンス出力用アンプの入力の3番ピンが【0V】になるように基準電圧ボリュームを調整します。

3番ピンが【0V】になったら次にオフセット調整を行います。それぞれのチャンネルに対応した入力段アンプのリファレンス出力用アンプの出力の6番ピンが【0V】になるようにオフセットボリュームを調整します。この出力ピンは入力段アンプのリファレンスに接続されています。

A / D	入力段アンプのリファレンス出力用アンプ	基準電圧ボリューム	オフセットボリューム
0	IC129	VR116	VR114
1	IC130	VR117	VR115

表3 2 入力段アンプのリファレンス出力用アンプのボリューム

#### 入力段アンプのオフセット調整

差導入力の【+IN】と【-IN】の両入力をAGNDに接続します。そして、それぞれのチャンネルに対応した入力段アンプの11番ピンか12番ピン、或いはチェックピンが【0V】になるようオフセットボリュームを調整します。この端子はA / Dコンバータの入力に接続されます。

A / D	入力段アンプ	チェックピン	オフセットボリューム
0	IC127	TP104	VR112
1	IC128	TP105	VR113

表3 3 入力段アンプのオフセット

## 8.2 オフセット調整

A/Dコンバータはデバイスの経時変化によりオフセット電圧が変動します。そのためオフセットの調整が必要となり下記の手順で行います。

A/Dコンバータのオフセット調整

各A/Dコンバータのオフセット調整時の入力電圧は

$$0V - 1/2 LSB = 153 \mu V$$

そしてA/Dコンバータの変換出力が【FFFFh ~ 0000h】

```

    1 1 1 1    1 1 1 1    1 1 1 1    1 1 1 1
MSB                               LSB
MSB                               LSB
    0 0 0 0    0 0 0 0    0 0 0 0    0 0 0 0

```

間でフリッカーする様にオフセットVRで調整します。

A/D	オフセットVR	スケールVR
00ch	VR110	VR108
01ch	VR111	VR109

表3.4 A/Dコンバータ校正用ボリューム一覧表

## 8.3 スケール調整

A/Dコンバータのスケール調整

A/Dコンバータには各入力電圧範囲に応じた入力バッファアンプ(基板内)も含めたスケール調整が必要です。

各コンバータのスケール調整時の入力電圧は

$$10V - 3/2 LSB = 9.999542$$

そしてA/Dコンバータの変換出力が【7FFEh ~ 7FFFh】

```

    0 1 1 1    1 1 1 1    1 1 1 1    1 1 1 0
MSB                               LSB
MSB                               LSB
    0 1 1 1    1 1 1 1    1 1 1 1    1 1 1 1

```

間でフリッカーする様にスケールVRで調整します。(表3.4)

## 9. D/Aコンバータの校正

本ボードのD/Aコンバータの出力電圧はバイナリ・ツーズ・コンプリメントの $\pm 10\text{V}$ 出力です。また、校正手順はともに次のようです。

### 9.1 出力電圧の校正

出力電圧の校正用ボリュームの一覧表を下記に示します。

D/A・No	オフセットVR	ゲインVR
00	VR103	VR101
01	VR104	VR102

表35 出力電圧の校正用ボリューム一覧表

### 9.2 オフセット調整

D/Aコンバータに【8000h】を出力します。

1000 0000 0000 0000  
MSB LSB

D/Aコンバータの出力が出力電圧範囲に応じた出力比較電圧と同じになる様にオフセットVRで調整します。(表34)

出力電圧範囲	出力比較電圧
-10V~+10V	-FS/2 = -10V

表36 D/Aコンバータ出力のオフセット調整時の出力電圧

### 9.3 ゲイン調整

D/Aコンバータに【7FFFh】を出力します。

0111 1111 1111 1111  
MSB LSB

D/Aコンバータの出力が出力電圧範囲に応じた出力比較電圧と同じになる様にゲインVRで調整します。(表34)

出力電圧範囲	出力比較電圧
-10V~+10V	FS/2 - 1LSB = 9.999695V

表37 D/Aコンバータ出力のゲイン調整時の出力電圧

## 10. トリガレベルの校正

### 10.1 トリガレベル設定用D/Aコンバータの校正

#### オフセット調整

- 1) トリガレベル用D/Aコンバータ(ベースアドレス+Ah)に【8000h】を出力します。
- 2) TP102が【-10V】になる様にVR106を調整します。

#### ゲイン調整

- 1) トリガレベル用D/Aコンバータに【7FFFh】を出力します。
- 2) TP102が【9.999695V】になる様にVR105を調整します。

## 11. アナログ入出力コネクタのピン配置

### ADSP324-13

No	信号名	No	信号名
1201	OUT00	1209	AGND
1202	OUT01	1210	AGND
1203	+IN00	1211	-IN00
1204	AGND	1212	AGND
1205	+IN01	1213	-IN01
1206	AGND	1214	AGND
1207		1215	DGND
1208	*EXTCLK		

表38 CN12



図12 CN12のコネクターを挿入方向からみた図

オプション機能マルチ入力用コネクタ CN13、14

NO	信号名	NO	信号名
1301	+IN00	1302	AGND
1303	-IN00	1304	AGND
1305	+IN01	1306	AGND
1307	-IN01	1308	AGND
1309	+IN02	1310	AGND
1311	-IN02	1312	AGND
1313	+IN03	1314	AGND
1315	-IN03	1316	AGND
1317	+IN04	1318	AGND
1319	-IN04	1320	AGND
1321	+IN05	1322	AGND
1323	-IN05	1324	AGND
1325	+IN06	1326	AGND
1327	-IN06	1328	AGND
1329	+IN07	1330	AGND
1331	-IN07	1332	AGND
1333		1334	

NO	信号名	NO	信号名
1401	+IN10	1402	AGND
1403	-IN10	1404	AGND
1405	+IN11	1406	AGND
1407	-IN11	1408	AGND
1409	+IN12	1410	AGND
1411	-IN12	1412	AGND
1413	+IN13	1414	AGND
1415	-IN13	1416	AGND
1417	+IN14	1418	AGND
1419	-IN14	1420	AGND
1421	+IN15	1422	AGND
1423	-IN15	1424	AGND
1425	+IN16	1426	AGND
1427	-IN16	1428	AGND
1429	+IN17	1430	AGND
1431	-IN17	1432	AGND
1433		1434	

表43 CN13

CN14

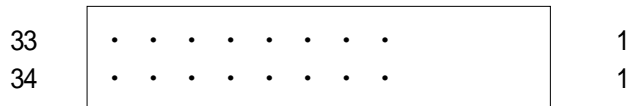


図13 CN13・CN14のコネクターを挿入方向からみた図

12. 添付品

品名	型式	数量	メーカー
CN12用プラグ	DB-15P-N	1	JAE
CN12用ジャンクションシェル	DA-C1-J10	1	JAE
CN13、14用コネクタ(オプション機能)	PS-D4C34	2	JAE
ピン(オプション機能)	030-51304-001	70	JAE

表40 添付品一覧

- ・本マニュアルの内容は製品の改良のため予告無しに変更される事がありますので、ご了承下さい。

## 中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2 - 8

TEL <0532>61-9566

FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : [csg@chubu-el.co.jp](mailto:csg@chubu-el.co.jp)

ADSP324-13 ハードウェアマニュアル

2005.8 第5版発行