

A D S P 6 7 4 - 0 0

ハードウェア
ユーザーズ・マニュアル

中部電機株式会社

目次

1. 仕様	1
1.1 標準仕様	1
1.2 拡張I/O	2
1.3 その他	2
2. DSPボードのPC/ATへの割付け	3
2.1 PC/ATのI/Oマップ	3
2.2 PC/ATのI/Oポートのビットマップ	3
2.3 DSPボードのPC/ATへのメモリーマップ	6
3. DSP (TMS320C6701) のメモリーマップ	6
3.1 標準メモリ	8
3.2 BOOT・ROM	8
3.3 ボード制御レジスタ	8
3.4 CPU内部レジスタ	9
3.5 CPU内部RAM	9
3.6 拡張バス	10
4. PC/ATとのインターフェースに関するディップスイッチの設定	12
4.1 メモリ・ベースアドレスの設定【DSW101】	12
4.2 I/Oアドレスとボード・コントロールの設定【DSW102】【DSW103】	13
4.3 ボード番号の設定とBOOT・ROMの設定【DSW104】	14
4.4 割り込みの設定とISAP busの切り離し【DSW105】	15
5. 標準実装I/O	16
5.1 精度と機能	16
5.2 メモリーマップとビット配置	17
5.3 入出力信号	18
5.4 コントロールレジスタの設定と動作	19
5.5 A/Dコンバータの変換開始指令	22
5.6 A/Dコンバータの変換データの読み出し	22
5.7 A/Dコンバータのビジーフラグ(変換中)チェック	22
5.8 D/Aコンバータへのデータ書き込み	23
5.9 A/D変換終了割込み(A/D・D/A同時変換(同期))の使用例	24
5.10 A/D・D/A変換データ	25
5.11 PIO入力と出力	26
5.12 タイマ入出力	26
5.13 標準実装I/O入出力コネクタのピン配置	27
6. PC/ATよりADSP674-00を分離して動作させる方法(スタンドアロン機能)	28
7. TI社製ICE(エミュレータ)使用時の設定	29
8. ディップスイッチの初期設定	30
9. マルチチャンネル・バッファード・シリアル・ポート	32
10. 添付品	32

1. 仕様

1.1 標準仕様

CPU	TMS320C6701を搭載。クロック 167MHz又は150MHz
演算速度	1GFLOPS(167MHz)
メモリ	CPU内部メモリ : 64Kbyte x 2 標準実装メモリ : SBSRAM 2Mbyte 標準実装メモリ : SDRAM 16Mbyte
I/O	A/Dコンバータ : 12bit 2ch 入力電圧±2.5V D/Aコンバータ : 12bit 2ch 出力電圧±1V パラレル入力 : 8bit 1ch TTLレベル パラレル出力 : 8bit 1ch TTLレベル
並列処理機能	16台までのマルチプロセッシング可能。
通信ポート	(バッファリング無し)
スタンダアロン機能	ホストコンピュータから分離して、パワーオンスタートさせることができる。 BOOT・ROM 512Kbyte標準実装。
サンプリングクロック	拡張バスに接続されたA/D・D/AボードにDSPのオンチップタイマ0のカウントアップパルスをサンプリングクロックとして供給できます。
拡張バスインターフェース	アドレス信号 : 24bit データ信号 : 32bit 制御信号 : 3本 *EXTWR、*EXTSTRB、*EXTRESET 割り込み : INT1・INT2・INT3 拡張ボード接続台数 : 最大4台

ホストインターフェース

バス	ISA(PC/AT: DATABUS 16bit、ADDRESSBUS 24bit)
I/Oポート	4番地(バイト) : 任意にアドレス設定可能。 16bitアドレスデコード
メモリ空間	16Kbyte : 任意にアドレス設定可能 24bitアドレスデコード
インターフェースモード	ホストポート・インターフェイス(HPI)
割り込み	IRQ5、9、10、11、12、15の6種類内から1つを選択
エミュレーションコネクタ	テキサスインスツルメンツ社製エミュレータのコネクタあり。
電源電圧	DC5V ± 0.25V
消費電流	3A
動作温度	5~50 30~80% 結露しない事

1.2 拡張I/O

拡張I/O 拡張I/OボードはADSP324シリーズが使用できます。(ADSP324-**)
拡張バスケーブル I/Oボードを使用する時には必要となります。(ADSP324-15)

1.3 その他

【注意】 ソフト開発にはTI社のCコンパイラが必要です。
CPL3206X-MS

2. DSPボードのPC/ATへの割付け

2.1 PC/ATのI/Oマップ

ADSP674-00を制御するためにPC/ATのI/Oポートを4バイト使用します。I/Oマップと各ポートのビットマップを下記に示します。また、I/OポートのベースアドレスはディップスイッチDSW102とDSW103により指定します。

【注意】DSPボードを複数台使用する場合もベースアドレスは同一番地に設定します。出荷時のベースアドレス設定は、300Hに設定されています。

出荷時	ベースアドレス	I/Oポートマップ : 出力
300H	+0H	ボード番号指定
301H	+1H	ボードの動作モードとDSPへの割り込み設定
302H	+2H	無し
303H	+3H	無し

出荷時	ベースアドレス	I/Oポートマップ : 入力
300H	+0H	ISAバス切り離し
301H	+1H	ボードの動作モード設定状態 DSPからホストへの割り込み状態
302H	+2H	無し
303H	+3H	無し

表1 PC/ATへのI/Oマップ

2.2 PC/ATのI/Oポートのビットマップ

1. 《I/Oポート・ベースアドレス+0番地》への出力

このポートへボード番号の出力を行うと指定したボードに切り換えが行われます。このポートへ出力したボード番号と【DSW104】で、設定したボード番号と一致したボードが選択されます。

【注意】電源投入後必ず一度ボード番号を指定して下さい。これによりISAバスのデータが動作可能な状態となります。

BIT	出力I/Oポート = +0H : 出荷時 300H
7	未定義
6	未定義
5	未定義
4	未定義
3	ボード番号指定コード 2^3
2	ボード番号指定コード 2^2
1	ボード番号指定コード 2^1
0	ボード番号指定コード 2^0

表2 ボード番号指定

2. 《I/Oポート・ベースアドレス+0番地》からの入力

このポートを読むと、すべてのDSPボードのISAバスのデータが切り離されます。

BIT	入力I/Oポート = +0H : 出荷時 300H
7~0	未定義

表3 ISAバス切り離し

3. 《I/Oポート・ベースアドレス+1番地》への出力

このポートはDSPボードの動作モードの設定を行います。

BIT0 ADSP674-00のDSPへのリセット動作を制御します。

『0』：リセット状態にします。電源投入時はこの状態になります。

『1』：リセットを解除します。

BIT1 ホストからADSP674-00のDSPへの割り込み(NMI)要求を制御します。

『0』：PC/ATから割り込みを解除します。電源投入時はこの状態になります。

『1』：PC/ATよりADSP674-00のDSPに割り込み(NMI)を掛けます。

BIT2 ホストからADSP674-00のDSPへの割り込み(INT4)要求を制御します。

『0』：PC/ATから割り込みを解除します。電源投入時はこの状態になります。

『1』：PC/ATよりADSP674-00のDSPに割り込み(INT4)を掛けます。

BIT3 ADSP674-00のDSPへのHOLD動作を制御します。

『0』：HOLD解除状態にします。電源投入時はこの状態になります。

『1』：DSPをHOLDします。

BIT	出力I/Oポート = +1H : 出荷時 301H
7	未定義
6	未定義
5	未定義
4	未定義
3	ホストからADSP674-00に 1：ホールド要求を掛ける
2	ホストからADSP674-00に 1：割り込み(INT4)を掛ける
1	ホストからADSP674-00に 1：割り込み(NMI)を掛ける
0	ADSP674-00のDSPを 0：リセットする 1：リセット解除する

表4 DSPボードの設定

4. 《I/Oポート・ベースアドレス+1》からの入力

このポートはDSPボードのリセット状態と割り込み要求状態を読みだします。

BIT0 ADSP674-00のDSPのリセット状態を示しています。

『0』：ADSP674-00のDSPをリセットしている。

『1』：ADSP674-00のDSPをリセット解除している。

BIT1 ADSP674-00からホストへの割り込み状態を示します。

『0』：ADSP674-00からホストへ割り込みはありません。

『1』：ADSP674-00からホストへ割り込みを要求しています。

BIT2 ADSP674-00のDSPのホールド状態を示します。

『0』：ADSP674-00のDSPはホールド解除状態を示します。

『1』：ADSP674-00のDSPはホールド状態を示します。

BIT	入力I/Oポート = +1H : 出荷時 301H
7	未定義
6	未定義
5	未定義
4	未定義
3	未定義
2	ADSP674-00のDSPは 0 : ホールド解除状態 1 : ホールド状態
1	ADSP674-00からホストへ割り込み要求が 0 : 無い 1 : 有る
0	ADSP674-00のDSPは 0 : リセット状態 1 : リセット解除状態

表5 DSPボードの動作モード状態

2.3 DSPボードのPC/ATへのメモリアップ

PC/ATは16Kbytesのメモリアップ空間とADSP674-00(DSP)のホストポート・インターフェイス(HPI)を使ってボードの全メモリアップ領域にアクセスすることができます。ベースアドレスからホストポート・インターフェイス(HPI)が割り当てられます。また、PC/ATのベースアドレスの指定はディップスイッチ【DSW101】で行います。

出荷時	ベースアドレス	ホストポート・インターフェイス
0E0000H	+0H	コントロール・レジスタ(HPIC)
0E0004H	+4H	アドレス・レジスタ(HPIA)
0E0008H	+8H	データ・レジスタ(HPID) HPIA影響なし
0E000CH	+CH	データ・レジスタ(HPID) ホストインタラクト
0E0010H	+10H	データ・レジスタ(HPID) ホストインタラクト
.	.	"
.	.	"
0E1FFFH	+1FFFH	データ・レジスタ(HPID) ホストインタラクト

表6 PC/ATのメモリアップ

レジスタの内容についてはTMS320C67xユーザズマニュアルを参照して下さい。DSPへのアクセスは、できる限り弊社付属ソフトをお使い下さい。

3. DSP(TMS320C6701)のメモリアップ

TMS320C6701のメモリアップ空間は4Gbyteあります。その中で主な領域は表7のような領域で構成されています。表にDSPのメモリアップを示します。

領域名	サイズ
標準実装メモリ(SBSRAM)	2Mbyte
標準実装メモリ(SDRAM)	16Mbyte
BOOT・ROM	512Kbyte
CPU内部メモリ	64Kbyte x 2
拡張バス	4Mbyte
ボード制御レジスタ(I/O)	4word

表7 DSPメモリアップサイズ

メモリアドレス	メモリ内容
0000 0000h	標準実装メモリ S B S R A M(2Mbyte)
0020 0000h	空き領域
0100 0000h	標準実装メモリ B O O T ・ R O M(256K × 16)
0110 0000h	空き領域
0140 0000h	D S P 内部プログラム R A M(64Kbyte)
0141 0000h	空き領域
0180 0000h	内部ペリフェラル・バスEMIFレジスタ
0184 0000h	内部ペリフェラル・バスDMAコントローラ・レジスタ
0188 0000h	内部ペリフェラル・バスHPIレジスタ
018C 0000h	内部ペリフェラル・バスMcBSP0レジスタ
0190 0000h	内部ペリフェラル・バスMcBSP1レジスタ
0194 0000h	内部ペリフェラル・バスTimer0レジスタ
1980 0000h	内部ペリフェラル・バスTimer1レジスタ
019C 0000h	内部ペリフェラル・バス割り込みセクタ・レジスタ
01A0 0000h	内部ペリフェラル・バス予約
0200 0000h	標準実装メモリ S D R A M(16Mbyte)
0300 0000h	拡張バス
033F 0000h	標準実装 I/O A / D 0 C H
033F 0004h	標準実装 I/O A / D 1 C H
033F 0008h	標準実装 I/O D / A 0 C H
033F 000Ch	標準実装 I/O D / A 1 C H
033F 0010h	標準実装 I/O P I O I N
033F 0014h	標準実装 I/O P I O O U T
033F 0018h	標準実装 I/O A / D ビジーフラグ
033F 001Ch	標準実装 I/O コントロール・レジスタ
033F 0020h	標準実装 I/O 割り込みフラグリセット
033F 0100h	標準実装 P I O ・ A / D 入力割り込みレジスタ
033F 0200h	機種コードレジスタ
033F 0300h	動作モードレジスタ
043F 0400h	空き領域
0400 0000h	予約
8000 0000h	D S P 内部データ R A M(64Kbyte)
8001 0000h	空き領域
8040 0000h	予約
FFFF FFFFh	

【注意】

弊社ユーティリティソフトウェアを使用する場合は
 0000 0000h ~ 0000 03FFh はリセット、割り込みベクタ
 0000 0400h ~ 0000 2FFFh はプログラム領域
 0000 3000h ~ 0000 3FFFh はデータ領域
 としてユーティリティソフトウェアが使用するので
 ユーザーは使用しないで下さい。

表8 DSP (TMS320C6701) から見たメモリマップ

3.1 標準メモリ

標準メモリは、SBSRAM 2 Mbyte (CPUクロック・レート)、SDRAM 16 Mbyte、実装されています。

注意 DSPをリセット,ホールド状態にすると、SDRAMのデータは壊れる可能性があります。

3.2 BOOT・ROM

スタンドアロンで動作させる時の立ち上げ用ROM領域です。512 KbyteのROMを搭載しています。BOOT・ROM用の書き込み回路が搭載されています。ROMはフラッシュメモリを使用しているためDSPより書き込みが可能です。ホストからは、付属ソフトのユーティリティによって書き込み可能です。

3.3 ボード制御レジスタ

1. 動作モード

本ボードは2つのブートモードが使用できます。

HPIブート・プロセス PC/ATから立ち上げます。
ディップスイッチDSW104-5 「OFF」
ROMブート・プロセス ROMから立ち上げます。
ディップスイッチDSW104-5 「ON」

選択はディップスイッチDSW104-5の設定によります。そしてこのモードを読み出すことにより動作モードを知ることができます。この動作モードは033F0300hのbit0に割り付けられています。

アドレス: 033F0300h bit0		
状態	モード	内容
1	HPIブート・プロセス	ホストからプログラムをダウンロードして立ち上がる通常動作
0	ROMブート・プロセス	BOOTROMで立ち上がる(スタンドアロン機能)

表9 動作モードレジスタ

2. 機種コード

機種コードレジスタからADSPシリーズの機種コードを読みとることが可能です。主にソースレベルデバッグ、MSCアダプタ、MATLAB対応ライブラリなどの開発用のソフトウェアで使用されます。

32bitデータの低位4bitが有効であり各機種のコードを示しています。この機種コードは033F0200hに割り付けられています。

アドレス: 033F0200h	
コード(4bit)	機種名
*****Ah	ADSP674-00 (167MHz)
*****9h	ADSP674-00 (150MHz)

【注】 * は、0~Fの何れかです。

表10 機種コード (入力)

3. 割り込み

DSPからホストコンピュータに対し割り込みを要求

DSPボードはホストコンピュータに対し割り込みを要求することができます。割り込み要求はホストポートインターフェイス(HPI)のコントロールレジスタ「*HINT」により行うことができます。(TMS320C67xユーザーズマニュアルを参照して下さい。) 割り込みはDSW105で設定したIRQ**になります。

ホストコンピュータからDSPに対し割り込みを要求

ホストコンピュータはDSPに対し割り込みを要求することができます。割り込み要求はPC/ATのI/Oポート・ベースアドレス+1番地に割り付けられています。(NMI, EXT__INT4の2種類)

周辺I/OからDSPに対し割り込みを要求

周辺I/OはDSPに対し割り込みを要求することができます。DSP(TMS320C6701)には5つの割り込み受付ラインがあり表11の様になっています。割り込みが受け付けられるとそれぞれに対応したベクタアドレスより割り込み処理開始番地を取り出しその番地にプログラムが移ります。

DSP割り込み名	内 容
EXT__INT7	拡張I/Oボードからの割り込み要求
EXT__INT6	標準実装PIOからの割り込み要求とCN11にピソサイン
EXT__INT5	標準実装A/Dからの割り込み要求とCN11にピソサイン
EXT__INT4	PC/AT(ホストコンピュータ)からの割り込み要求
NMI	PC/AT(ホストコンピュータ)からの割り込み要求

表11 DSPの割り込み受付

3.4 CPU内部レジスタ

TMS320C67xユーザーズマニュアルを参照して下さい。

3.5 CPU内部RAM

TMS320C67Xユーザーズマニュアルを参照して下さい。

3.6 拡張バス

拡張I/Oボードを制御するための拡張バスでDSPから直接制御が可能であり
03000000h~033FFFFFFh:の空間が割り付けられ、CN11に出力されており周
辺ボードを4枚まで接続することができます。

(033F0000h以降はDSPボードの標準実装I/O等に使用しています。)

しかし拡張I/Oボードのアドレス(拡張I/Oボードのハードウェア・マニュアル参照)は
900000h~9FFFFFFhに割り当てられているのでアドレス変換が必要になります。

アドレス変換は本ボードが行うのでユーザーは、03000000h~033FFFFFFhをア
クセスして下さい。下記にアドレスの対応を示します。

CN11のアドレスには03000000h~033FFFFFFhをアクセスすると
900000h~9FFFFFFhが出力されます。

拡張I/Oボードを使用するには別売のケーブル(ADSP324-15)が必要です。

DSPボードアドレス	拡張I/Oボードアドレス
03000000h	900000h
03000004h	900001h
03000008h	900002h
.	.
.	.
0303FFFC h	90FFFF h
.	.
.	.
033EFFF8 h	9FBFFE h
033EFFFCh	9BFFFF h

表12 DSPと拡張I/Oボードのアドレス対応表

No	信号名	No	信号名	No	信号名	No	信号名
1101	XD00	1102	XD01	1151	GND	1152	XA09
1103	XD02	1104	XD03	1153	GND	1154	XA10
1105	XD04	1106	XD05	1155	GND	1156	XA11
1107	XD06	1108	XD07	1157	GND	1158	XA12
1109	XD08	1110	XD09	1159	GND	1160	XA13
1111	XD10	1112	XD11	1161	GND	1162	XA14
1113	XD12	1114	XD13	1163	GND	1164	XA15
1115	XD14	1116	XD15	1165	GND	1166	XA16
1117	XD16	1118	XD17	1167	GND	1168	XA17
1119	XD18	1120	XD19	1169	GND	1170	XA18
1121	XD20	1122	XD21	1171	GND	1172	XA19
1123	XD22	1124	XD23	1173	GND	1174	XA20
1125	XD24	1126	XD25	1175	GND	1176	XA21
1127	XD26	1128	XD27	1177	GND	1178	XA22
1129	XD28	1130	XD29	1179	GND	1180	XA23
1131	XD30	1132	XD31	1181	GND	1182	*1
1133	GND	1134	XA00	1183	GND	1184	*EXTSTRB
1135	GND	1136	XA01	1185	GND	1186	*EXTWR
1137	GND	1138	XA02	1187	GND	1188	TOUT0
1139	GND	1140	XA03	1189	GND	1190	*1
1141	GND	1142	XA04	1191	GND	1192	*1
1143	GND	1144	XA05	1193	GND	1194	*EXT_INT5
1145	GND	1146	XA06	1195	GND	1196	*EXT_INT6
1147	GND	1148	XA07	1197	GND	1198	*EXT_INT7
1149	GND	1150	XA08	1199	GND	1100	*EXTRESET

表13 CN11のピン配置

【注】 * は負論理を表しています。
*1は未使用ですが使用してはいけません。

- XD** : バスインインターフェイスの32ビットデータバス
XA** : バスインインターフェイスの24ビットアドレスバス
XA00~XA23には900000h~9FFFFFFhが出力されます。
*EXTSTRB : 外部のデバイスに対するストローブです。Loの時XD**、XA**有効
*EXTWR : 外部のデバイスに対するリード/ライトです
TOUT0 : タイマクロック。TOUT0からタイマ0で発生されたパルス出力です。
EXT_INT : 外部割り込み5~7。ローアクティブ。
*EXTRESET : DSPがリセットされた時、ローになります。

注意

*EXT_INT7は拡張I/Oボード(例 A/D・D/Aボード、PIOボード等)のハードウェア・ユーザーズ・マニュアル記載のINT3に相当します。よって拡張I/Oボードからの割り込みは*EXT_INT7にセットされます。

4. PC/ATとのインターフェースに関するディップスイッチの設定

ADSP674-00の制御はPC/ATバス上の16Kbyteのメモリ空間と4番地のI/O空間を通して行なわれます。そのため、これに関連したディップスイッチの設定が必要となります。

【注意】ディップスイッチの設定及び論理は下記のように定義されています。

DSW*** 1 2 3 4
 ON DSW***の1～4の設定はすべて“ON”
 OFF の状態を示しています

ディップスイッチの“ON”“OFF”の論理は ON : 0
 OFF : 1

4.1 メモリ・ベースアドレスの設定【DSW101】

PC/ATのユーザー使用可能なメモリ領域は0～1Mbyteのなかでは0E0000H～0FFFFFFHまでなのでそのなかに割り付けます。そしてADSP674-00は16台まで拡張可能ですが、その場合のメモリ・ベースアドレスは全てのボードに同じアドレスを設定して下さい。また他のPC/AT周辺ボードとアドレスが重ならない様に設定して下さい。

DSW101			
DSW101	信号名	ON【0】	OFF【1】
10	SA23		
9	SA22		
8	SA21		
7	SA20		
6	SA19		
5	SA18		
4	SA17		
3	SA16		
2	SA15		
1	SA14		

表14 DSW101の設定

例 ベースアドレス：0E0000H（出荷時）

DSW101 1 2 3 4 5 6 7 8 9 10
 ON
 OFF

図1 DSW101の設定

4.2 I/Oアドレスとボード・コントロールの設定【DSW102】【DSW103】

I/Oアドレスは4バイト毎の偶数番地に設定します。PC/ATのI/Oアドレスは16bitありその上位8bitをDSW103で、下位8bitの内の上位6bitをDSW102で設定します。PC/ATのユーザ使用可能なI/O領域は300H~31FHの32バイトの空間です。この空間が0~64Kバイトの各1Kバイト毎に使用できます。そしてADSP674-00は16台まで拡張可能ですが、その場合のI/Oアドレスは全てのボードに同じアドレスを設定して下さい。また他のPC/AT周辺ボードとアドレスが重ならない様に設定して下さい。

DSW103			
DSW103	信号名	ON【0】	OFF【1】
8	SA15		
7	SA14		
6	SA13		
5	SA12		
4	SA11		
3	SA10		
2	SA09		
1	SA08		

DSW102			
DSW102	信号名	ON【0】	OFF【1】
8	SA07		
7	SA06		
6	SA05		
5	SA04		
4	SA03		
3	SA02		
2	未使用		
1	未使用		

表15 DSW102・DSW103の設定

例 I/Oアドレス：0300H（出荷時）

	下位6bit		上位8bit
DSW102	1 2 3 4 5 6 7 8	DSW103	1 2 3 4 5 6 7 8
ON	<input type="checkbox"/>	ON	<input type="checkbox"/>
OFF	<input type="checkbox"/>	OFF	<input type="checkbox"/>

図2 DSW102・DSW103の設定

4.3 ボード番号の設定とBOOT・ROMの設定【DSW104】

ADSP674-00をPC/ATに複数接続する場合は、識別のために個々のボード毎に異なるボード番号を設定しなければなりません。DSW104-1~4にて設定します。BOOT・ROMによる立ち上げ（スタンドアロン機能）の設定をDSW104-5にて設定します。「ON」でBOOT・ROMによる立ち上げです。（スタンドアロン機能）ROM書き込みは、ディップスイッチDSW104-6を「ON」で書き込み許可に変更した後、付属のソフトウェアのユーティリティを使って書き込みを行って下さい。BOOT・ROM用に512Kbyteのフラッシュメモリが実装されてます。

DSW104		(ボード番号: 0 RAM仕様)	
DSW104	信号名	ON【0】	OFF【1】
8	未使用		
7	未使用		
6	BOOT・ROM書き込み許可	許可	
5	BOOT・ROM立ち上げ	ROM立ち上げ	
4	ボードNo 2^3		
3	ボードNo 2^2		
2	ボードNo 2^1		
1	ボードNo 2^0		

ボードNo	2^0	2^1	2^2	2^3
15	OFF	OFF	OFF	OFF
14	ON	OFF	OFF	OFF
13	OFF	ON	OFF	OFF
12	ON	ON	OFF	OFF
11	OFF	OFF	ON	OFF
10	ON	OFF	ON	OFF
9	OFF	ON	ON	OFF
8	ON	ON	ON	OFF
7	OFF	OFF	OFF	ON
6	ON	OFF	OFF	ON
5	OFF	ON	OFF	ON
4	ON	ON	OFF	ON
3	OFF	OFF	ON	ON
2	ON	OFF	ON	ON
1	OFF	ON	ON	ON
0	ON	ON	ON	ON

表16 DSW104の設定

例 ボード番号: 0 (出荷時)

DSW104	1	2	3	4	5	6	7	8
ON								
OFF								

図3 DSW104の設定

4.4 割り込みの設定とISAバスの切り離し【DSW105】

ADSP674-00からPC/ATバスへの割り込み信号のIRQを設定するディップスイッチです。割り込みは、IRQ5、9、10、11、12、15の6本の中から1本選択してください。DSW105-1～6で設定します。

ADSP674-00からPC/ATバスへの切り離しはDSW105-8で設定します。

また、基本的にはHPIのHRDYチェックはしない DSW105-7 ON で使用してください。HRDYチェックはソフトチェックにて行います。ホストとのデータ転送等は、付属ソフトの関数 (A67_ArrayGet、A67_ArrayPut、A67_getmem、A67_putmem) を御使い下さい。

DSW105 (IRQ10 ISAバス接続)			
DSW105	信号名	ON	OFF
8	動作モード	PC/ATバス接続	PC/ATバス切離し
7	HRDYチェック	しない	する
6	IRQ15		
5	IRQ12		
4	IRQ11		
3	IRQ10		
2	IRQ9		
1	IRQ5		

表17 DSW105の設定

例 IRQ10 (出荷時)
 HRDYチェック しない
 PC/AT (ISA) バス接続

DSW105	1	2	3	4	5	6	7	8
ON	<input type="checkbox"/>							
OFF								

図4 DSW105の設定

5. 標準実装 I / O

本ボードには、12 bit の A / D コンバータが 2 CH、12 bit の D / A コンバータが 2 CH、8 bit のパラレル入力が 1 CH、8 bit のパラレル出力が 1 CH、搭載されています。

5.1 精度と機能

A / D コンバータ部

分解能	12 bit
チャンネル数	2 ch
入力電圧範囲	± 2.5 V
変換順序	2 ch 同時変換
変換時間	3 MHz
入力インピーダンス	5 M
自動変換開始機能	DSP の TOUT0 信号に同期して全チャンネル同時変換

D / A コンバータ部

分解能	12 bit
チャンネル数	2 ch
出力電圧範囲	± 1 V
変換順序	任意チャンネル変換、又は 2 ch 同時変換
変換時間	3 MHz / ch
出力インピーダンス	200
自動変換開始機能	DSP の TOUT0 信号に同期して全チャンネル同時変換

パラレル出力部

点数	8 bit × 1 ch
信号レベル	TTL レベル

パラレル入力部

点数	8 bit × 1 ch
信号レベル	TTL レベル (終端 4.7K でプルアップ)
割り込み信号	EXTIN7 は DSP へ EXT_INT6 の割り込みも可能 (標準実装 PIO 入力割り込みレジスタ有効時)
外部クロック	EXTIN6 は標準実装 A/D D/A の外部クロック変換も可能 (コントロールレジスタ 外部クロックによる変換開始有効時)

タイマ出力部

点数	2 ch TOUT0、TOUT1
信号レベル	TTL レベル

タイマ入力部

点数	2 ch TINP0、TINP1
信号レベル	TTL レベル (終端 4.7K でプルアップ)

5.2 メモリマップとビット配置

アドレス	WRITE	READ
033F 0000h	A/Dコンバータ変換開始	A/D0chデータ入力
033F 0004h	A/Dコンバータ変換開始	A/D1chデータ入力
033F 0008h	D/A0chデータ出力	
033F 000Ch	D/A1chデータ出力	
033F 0010h		PIOデータ入力
033F 0014h	PIOデータ出力	
033F 0018h		A/Dビジーフラグ
033F 001Ch	コントロールレジスタ	
033F 0020h	割り込みフラグリセット	
033F 0100h	PIO・A/D入力割込みレジスタ	

表18 標準実装 I/O のメモリマップ

	BIT 7	4	3	0
アドレス+0	7 6 5 4	3 2 1 0		
アドレス+1	15 14 13 12	11 10 9 8		
アドレス+2	23 22 21 20	19 18 17 16		
アドレス+3	31 30 29 28	27 26 25 24		

表19 標準実装 I/O のビット配置

A/D、D/A共にBIT0～11がデータとして有効です。
A/D入力時BIT12～31は不定です。
PIOは入出力共にBIT0～7がデータとして有効です。
入力はBIT0～7がEXTIN0～EXTIN7（表27参照）
出力はBIT0～7がEXTOUT0～EXTOUT7（表28参照）
I/O入力時BIT08～31は不定です。
コントロールレジスタはBIT0～4がデータとして有効です。

5.3 入出力信号

1. D/Aコンバータの出力回路は

D/Aコンバータの出力
アナロググランド

で1組の出力回路を構成しています。入出力用コネクタの信号配置は表28を参照して下さい。

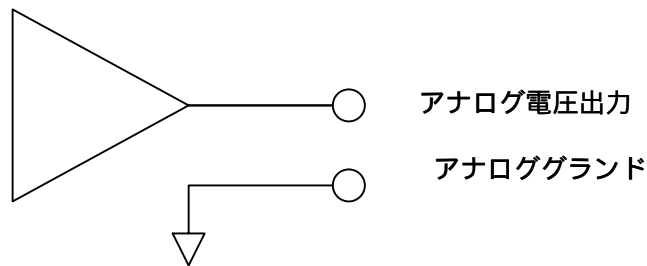


図 5 D/Aコンバータ出力回路

2. A/Dコンバータの入力回路は

バッファアンプの入力
アナロググランド

で1組の入力回路を構成しています。入出力用コネクタの信号配置は表28を参照して下さい。

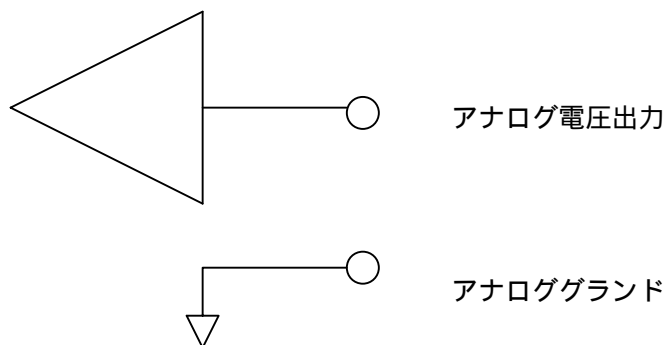


図 6 A/Dコンバータ入力回路

5.4 コントロールレジスタの設定と動作

コントロール・レジスタの設定内容を表6に示します。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。よってDSPによる変換開始で割り込みは発生しません。この設定により、A/D・D/Aコンバータや、割り込みによる動作が設定できます。

コントロールレジスタ	0	1
bit 3	割り込み不可	割り込み可
bit 2	同期	非同期
bit 1	TOUT0による変換開始	EXTIN6による変換開始
bit 0	DSPによる変換開始	外部クロックによる変換開始

表20 コントロール・レジスタの設定内容

1. DSPデータの書き込みによるA/D・D/Aコンバータ変換

コントロール・レジスタ【bit 0】～【bit 3】を【0】にすることにより、DSPからの書きこみによってA/Dコンバータは全チャンネル、D/Aコンバータは各チャンネルごと変換をおこないます。表 22参照

2. A/D・D/Aコンバータの同期変換

コントロール・レジスタ【bit 0】を【1】と【bit 2】を【0】にすることにより【TOUT0】あるいは【EXTIN6】の何れか（【bit 1】にて設定）に同期してA/D・D/Aコンバータを同時変換することができます。表 22参照

3. A/Dコンバータのみ同期変換（D/Aコンバータはデータの書き込み変換）

コントロール・レジスタ【bit 0】を【1】と【bit 2】を【1】にすることにより【TOUT0】あるいは【EXTIN6】の何れか（【bit 1】にて設定）に同期してA/Dコンバータのみを同時変換することができます。D/Aコンバータは各チャンネルごとのデータの書き込みにより変換をおこないます。表 22参照

4. 割り込み信号のマスク制御

『A/D変換終了割り込み』はA/D変換が終了（ビジーの立ち上り）するとEXT_INT5に割り込みがかかります。この発生は“コントロール・レジスタ”の【bit 3】を【1】と、“標準実装PIO・A/D入力割り込みレジスタ”（033F0100h）の【bit 1】を【1】すると割り込み可となり、【0】にすると不可になります。DSPへの割り込みはEXT_INT5になります。よってCN11のEXT_INT5との併用はできません。

標準実装PIO・A/D入力割り込みレジスタ	0	1
bit 1	A/D変換終了割り込み不可	A/D変換終了割り込み可
bit 0	PIO割り込み不可	PIO割り込み可

表21 標準実装PIO・A/D入力割り込みレジスタの設定内容

動作モード

サンプリング・クロックの選択

本ボードのサンプリングモードは表 22の様に4種類の中から選択する事ができます。そしてサンプリングを外部変換開始信号に同期させてA / DコンバータとD / Aコンバータの各チャンネルを同時に変換させることも可能です。さらに4種類のモード全てに於いてA / D変換終了の確認をA / D変換終了割り込みを使って知ることができます。

- EXTIN6** ボードの外部 (I / O入力 EXTIN6) からサンプリング信号を与え変換を開始させる時に使用します。
入力信号はTTLレベルで負論理で立ち下りのエッジに同期されます。
A / D変換割り込みを使って入出力処理を行うとDSPのアイドル時間が無く効率的です。
- TOUT0** DSP内のオンチップタイマの【タイマ0】で生成されたパルスを出力するピンの信号がDSP拡張バスに出力されています。
この信号を利用する事により複数台のA / D・D / Aボードに同期を掛ける事ができます。この場合タイマ0の割り込みは使用しません。
A / D変換割り込みを使って入出力処理を行うとDSPのアイドル時間が無く効率的です。
- オンチップタイマ** DSP内のオンチップタイマの【タイマ0】或いは、【タイマ1】を使ってサンプリング周期を決め周期毎に割り込みを発生させて割り込み処理ルーチンの中でA / Dコンバータの読み出しや、A / Dコンバータの変換開始、D / Aコンバータへの出力を行います。
- 任意** 任意のタイミングでA / D変換・D / A変換を行います。

コントロールビット	EXTIN6	TOUT0	オンチップタイマ割込	任意タイミング
変換開始モード	自動変換	自動変換	DSP起動	DSP起動
bit0	1	1	0	0
bit1	1	0	0	0
用途	外部信号にサンプリングを同期させて行う	オンチップタイマのクリアアウト信号にサンプリングを同期させて複数台を同時に行う	オンチップタイマの割り込みにサンプリングを同期させて行う	任意のタイミングでサンプリングを行う

表 22 サンプリング信号の選択

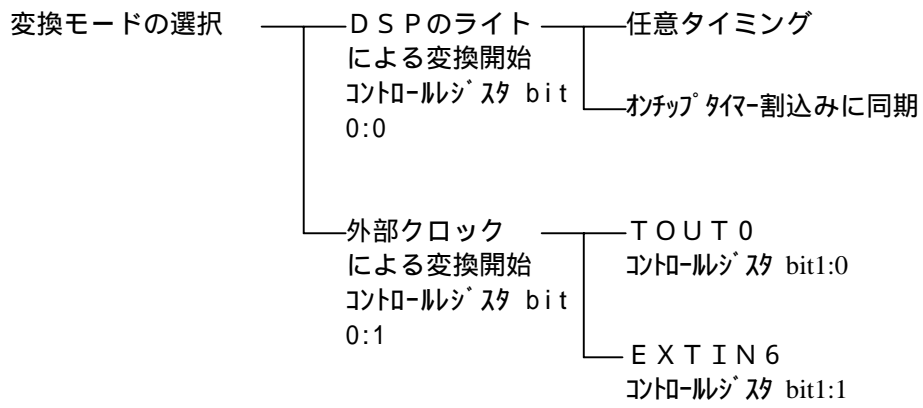


図7 変換開始モードの選択

5.5 A/Dコンバータの変換開始指令

A/Dコンバータの変換開始指令は【033F0000h】か【033F0004】番地にメモリ書き込み動作を行うことにより実行されます。変換開始指令について本ボードは、どちらのアドレスに書き込みを行っても2chのA/Dコンバータに同時に変換開始指令が発せられます。

A/Dコンバータの制御手順は、まず始めにA/Dコンバータに変換指令を与えます。A/Dコンバータはメモリ空間にマップされていますのでそのアドレスに書き込み動作を行うことにより変換を開始させることができます。その後直ちにビジーフラグを入力し変換が終了したか(ビジーフラグ=1)を調べます。変換終了を確認した後に変換データを取り出します。変換中(ビジーフラグ=0)のデータは正しい変換データではありません。尚、変換終了割り込みを利用することによりビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。

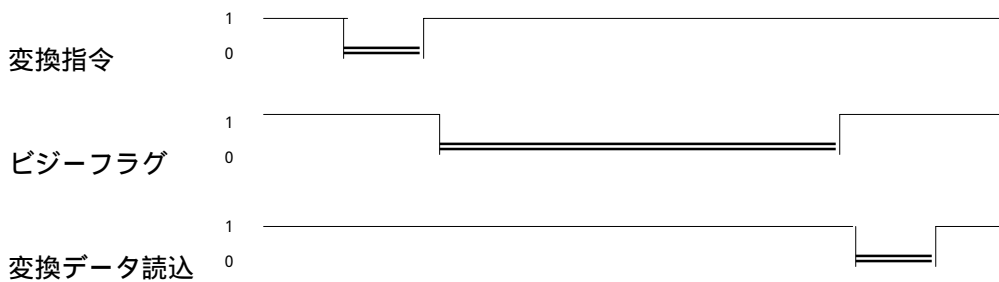


図8 A/Dコンバータの制御タイミングチャート

5.6 A/Dコンバータの変換データの読み出し

A/Dコンバータの変換データの読み出しは、A/Dコンバータのアドレスからメモリデータの読み出し動作を行うことにより実現されます。変換データの読み出しアドレスの詳細は表18を参照して下さい。

5.7 A/Dコンバータのビジーフラグ(変換中)チェック

ビジーフラグは【033F0018h】にあり、その番地からデータを読み出すことによりA/Dコンバータが現在変換中かどうかを調べることができます。変換中はA/Dコンバータから読み出したデータは正しいものではありません。ビジーフラグがアクティブでなくなった後に正しい変換データを読み出します。尚、変換終了割り込みを利用する事によりビジーフラグのチェックをせずにデータの取り込みを行う事も可能です。

ビジーフラグ	意味
0	変換中
1	変換終了

表23 ビジーフラグの定義

また【033F0018h】から読み出したビジーフラグデータのビットマップは表24の様に定義されています。

bit	定 義
0	A/D0CH BUSY
1	A/D1CH BUSY
2	不定
・	不定
31	不定

表24 ビジーフラグ読み出しデータのビットマップ

5.8 D/Aコンバータへのデータ書き込み

D/Aコンバータのアナログ電圧出力は、D/Aコンバータへのデータの書き込みにより実現されます。またD/Aコンバータの出力モードには2つのモードがありコントロール・レジスタ【bit0】の設定により動作が異なります。

任意タイミング

このビットが【0】の時データは直接D/Aコンバータに直接書き込まれアナログ出力はすぐに変化します。

同期(A/D D/A)タイミング【bit2】【0】

一方【1】の場合はデータはバッファ回路にラッチ(記憶)されます。そして【TOUT0】あるいは【EXTIN6】の何れかに同期してD/Aコンバータに書き込まれます。この時にA/Dコンバータも同期して変換を開始します。

D/A非同期タイミング【bit2】【1】

またコントロール・レジスタ【bit0】【1】、【bit2】【1】の場合はデータの書き込みにより変換します。この時A/Dコンバータは外部CLKに同期しています。

【033f0008h】、【033F000Ch】にD/Aコンバータのアドレスが割り当てられているので、各チャンネルに対応したメモリアドレスにアナログ電圧に相当したデータを書き込みます。変換データの書き込みアドレスの詳細は表18を参照して下さい。

5.9 A/D変換終了割り込み (A/D・D/A同時変換 (同期)) の使用例

自動変換機能を行っているときに、外部変換開始信号に同期してA/Dコンバータは変換が開始され、またD/Aコンバータは前回D/Aコンバータのバッファに貯えられたデータを出力します。そしてA/DコンバータがA/D変換終了の割り込みを発生するとDSPは『EXT_INT7』のベクタアドレスに格納されている割り込み処理ルーチンにジャンプし、割り込みフラグレジスタを読み込みます。さらにDSPはユーザの『ある処理』を行いその結果をD/Aコンバータのバッファに書き込み一時的にデータを蓄え次回の外部変換開始信号に備えます。

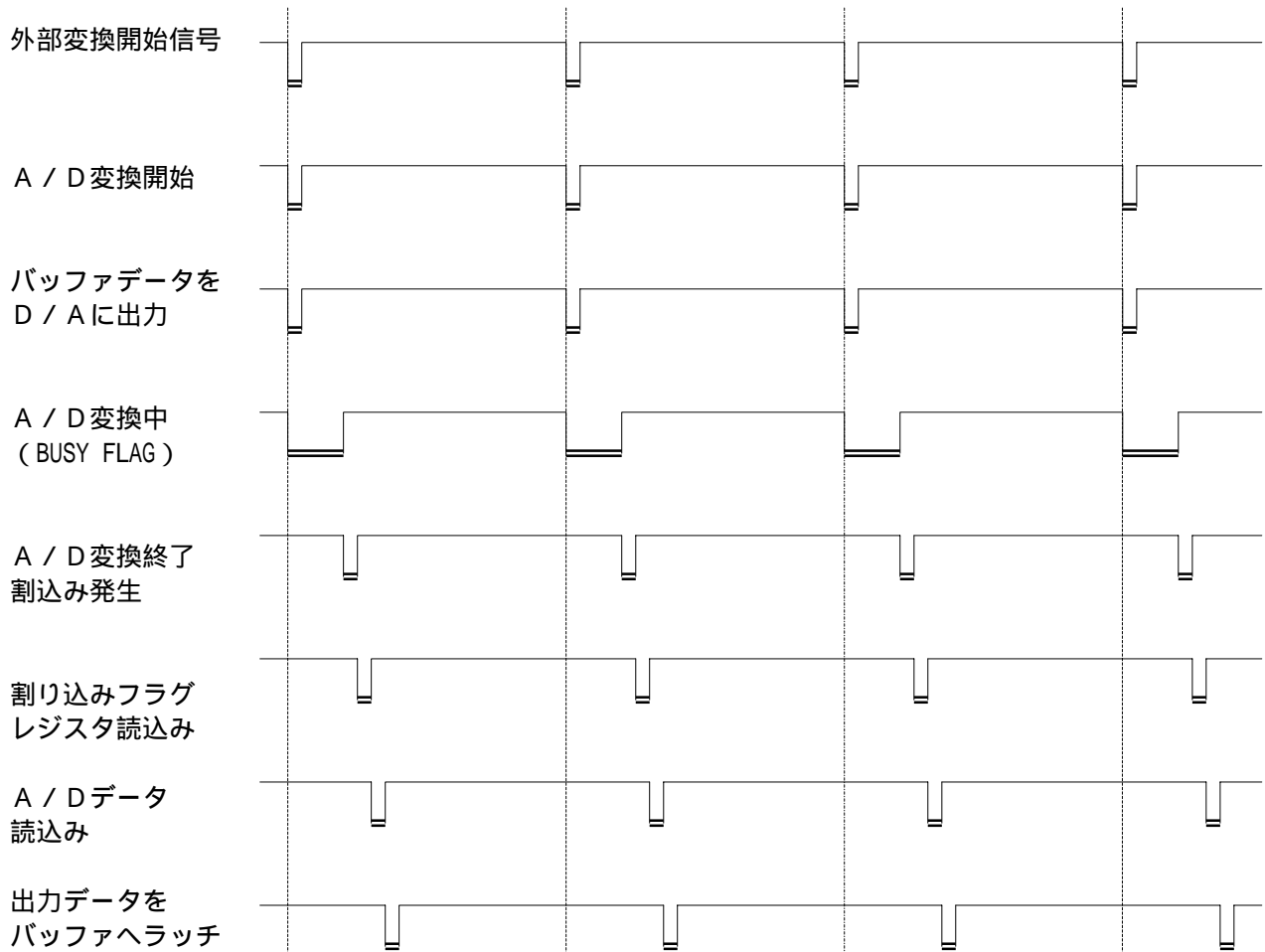


図9 A/D変換終了割り込み (同期) を使ったA/D・D/A変換タイムチャート

5.10 A/D・D/A変換データ

入力電圧とA/D変換データの関係

入力電圧とA/Dコンバータの変換データ(ビット0~11)との関係を表25に示します。A/D変換データの未使用ビット(ビット12~31)は不定になります。

入力電圧範囲 $\pm 2.5\text{ V}$	A/D変換データ
2.4988V以上	7FFh
...	...
1.22mV	001h
0V	000h
-1.22mV	FFFh
...	...
-2.5V以下	800h

表25 理想入力電圧とA/D変換データ

出力データとD/Aコンバータの変換電圧との関係

出力データ(ビット0~11)とD/Aコンバータの変換出力電圧との関係を表26に示します。

出力電圧範囲	$\pm 1\text{ V}$
出力データ	変換出力電圧
FFFh	0.99951V
...	...
801h	488mV
800h	0V
7FFh	-488mV
...	...
000h	-1V

表26 出力データとD/Aコンバータの変換出力電圧

5.11 PIO入力と出力

8 bit入力

8 bitデータ(ビット0~7)の入力ポートは【033F0010h】にマップされています。データはこのアドレスからのデータ読み込みによって行われます。(5.2 メモリマップとビット配置 参照)
またEXTIN6はA/D・D/A同時変換の外部クロックとしても使われます。外部クロックとして使用する場合は“5.4 コントロールレジスタの設定と動作”をお読みください。

EXTIN7はDSPへの割り込み(EXT_INT6)としても使われます。EXTIN7をDSPへの割り込み(EXT_INT6)として使う時は、標準実装PIO入力割り込みレジスタを有効にして下さい。その場合CN11のEXT_INT6との併用はできません。CN11のEXT_INT6から入力された信号は無視されます。

EXTIN7をDSPへの割り込み有効の設定
EXTIN7をDSPへの割り込みを有効にするには、標準実装PIO入力割り込みレジスタ【033F0100h】のビット0に【1】を書きこみます。

アドレス: 033F0100h bit 0	
設定	内容
1	標準実装PIO入力EXTIN7 DSPへの割り込み有効
0	標準実装PIO入力EXTIN7 DSPへの割り込み無効

表27 EXTIN7 DSPへの割り込み設定

8 bit出力

8 bitデータ(ビット0~7)の出力ポートは【033F0014h】にマップされています。データはこのアドレスへのデータ書き込みによって行われます。(5.2 メモリマップとビット配置 参照)
このポートは出力のみで、入力しても現在のデータは読み込みできません。

5.12 タイマ入出力

DSPのタイマ入出力(TINP0, 1とTOUT0, 1)がTTLレベルに変換されCN14、15に割り付けられています。

またTOUT0は標準実装I/Oや拡張ボードに使用した時はCN15からも出力されるので注意してください。同じようにCN15で使用してもCN11に出力します。

5.13 標準実装 I/O 入出力コネクタのピン配置

A/D、D/Aコンバータ

コネクタNo.	信号名
BNC 1	A/Dコンバータ0CH
BNC 2	A/Dコンバータ1CH
BNC 3	D/Aコンバータ0CH
BNC 4	D/Aコンバータ1CH

表28 A/D、D/Aコンバータ BNCコネクタ表

CN14 PIO入力

No	信号名	No	信号名
1401	EXTIN0 (BIT0)	1402	GND
1403	EXTIN1 (BIT1)	1404	GND
1405	EXTIN2 (BIT2)	1406	GND
1407	EXTIN3 (BIT3)	1408	GND
1409	EXTIN4 (BIT4)	1410	GND
1411	EXTIN5 (BIT5)	1412	GND
1413	EXTIN6 (BIT6)	1414	GND
1415	EXTIN7 (BIT7)	1416	GND
1417	EXTTINP0	1418	GND
1419	EXTTINP1	1420	GND

CN15 PIO出力

No	信号名	No	信号名
1501	EXTOUT0 (BIT0)	1502	GND
1503	EXTOUT1 (BIT1)	1504	GND
1505	EXTOUT2 (BIT2)	1506	GND
1507	EXTOUT3 (BIT3)	1508	GND
1509	EXTOUT4 (BIT4)	1510	GND
1511	EXTOUT5 (BIT5)	1512	GND
1513	EXTOUT6 (BIT6)	1514	GND
1515	EXTOUT7 (BIT7)	1516	GND
1517	EXTTOUT0	1518	GND
1519	EXTTOUT1	1520	GND

表29 PIO&タイマ入出力コネクタCN14・CN15のピン配置



図 10 CN14、15のコネクターを挿入方向からみた図

6. PC/ATよりADSP674-00を分離して動作させる方法(スタンドアロン機能)

PC/ATよりADSP674-00を分離して動作させる。(スタンドアロン機能)
 プログラムメモリの01000000H~0107FFFFH
 までの512Kbyte(BOOT・ROM)の内容をアドレス0から転送しその番地より
 プログラムを開始させることができます。
 1アドレス16ビット構成で、並びはLSBファーストです。
 ROM書き込みは、ディップスイッチDSW104-6を書き込みモードに変更した後、
 付属のソフトウェアのユーティリティを使って書き込みを行って下さい。

1. PC/AT(ホストコンピュータ)からプログラムをブートROMに書き込みます。
 下記の設定にして下さい。
 書き込み方は、ソフトウェア・ユーザズ・マニュアルを参照してください。

DSW105-8	O N P C / A T (ISA)バス接続
DSW104-5	O F F ホストより起動
DSW104-6	O N ブートROM書き込み可

表30 ブートROM書き込み可

2. ブートROMからプログラムを転送し起動します。
 下記の設定にして電源を入れてください。

DSW105-8	O F F P C / A T (ISA)バス切り離し
DSW104-5	O N B O O T R O M 起動
DSW104-6	O F F ブートROM書き込み不可

表31 B O O T R O M 起動

7. TI社製ICE (エミュレータ) 使用時の設定

ADSP674-00はテキサスインスツルメンツ社製エミュレータが使用できるようにエミュレータ用のコネクタ(CN16)が付いています。CN16にエミュレータのコネクタを差し込んで使用してください。

付属ユーティリティを使用してイニシャルする (推奨)

1. DSPのリセット解除と初期化をします。
付属ユーティリティを実行してください。ユーティリティが正常に立ち上れば、ボードのイニシャル(リセット解除と初期化)が行われます。
ユーティリティを使用しないなら閉じて下さい。
2. エミュレータを起動します。
エミュレータ(CCS)が立ち上がります。

付属ユーティリティを使用せずイニシャルする

1. ホストからボード番号を指定する。
2. ホストからリセット解除を行う。
3. ホストからHPIを使ってDSPの初期化を行うか
エミュレータを起動し(エミュレータ(CCS)が立ち上がります。)
DSPの初期化を行って下さい。
初期化はTMS320C67xユーザーズマニュアルを参照して下さい。

8. ディップスイッチの初期設定

ADSP674-00にはディップスイッチが5つ【DSW101】～【DSW105】あります。

ADSP674-00をお使いになる前に必ず使用するシステムに対応した設定を行なって下さい。尚、出荷時の設定状態を下記に示します。

DSW101	1 2 3 4 5 6 7 8 9 10		
	O N	<input type="checkbox"/>	ベースアドレス：E 0 0 0 0 H
	OFF	<input type="checkbox"/>	
DSW102	1 2 3 4 5 6 7 8		
	O N	<input type="checkbox"/>	I / Oアドレスの下位アドレス：0 0 H
	OFF	<input type="checkbox"/>	
DSW103	1 2 3 4 5 6 7 8		
	O N	<input type="checkbox"/>	I / Oアドレスの上位アドレス：0 3 H
	OFF	<input type="checkbox"/>	
DSW104	1 2 3 4 5 6 7 8		
	O N	<input type="checkbox"/>	ボード番号：0
	OFF	<input type="checkbox"/>	BOOT・ROMの書込み選択：書込み非許可
			BOOT・ROM立上げ選択：H P I立上げ
DSW105	1 2 3 4 5 6 7 8		
	O N	<input type="checkbox"/>	割り込み：I R Q 1 0
	OFF	<input type="checkbox"/>	H P I H R D Yチェック：しない
			P C / A Tバスへの切り離し選択：接続

図11 ディップスイッチの出荷時設定

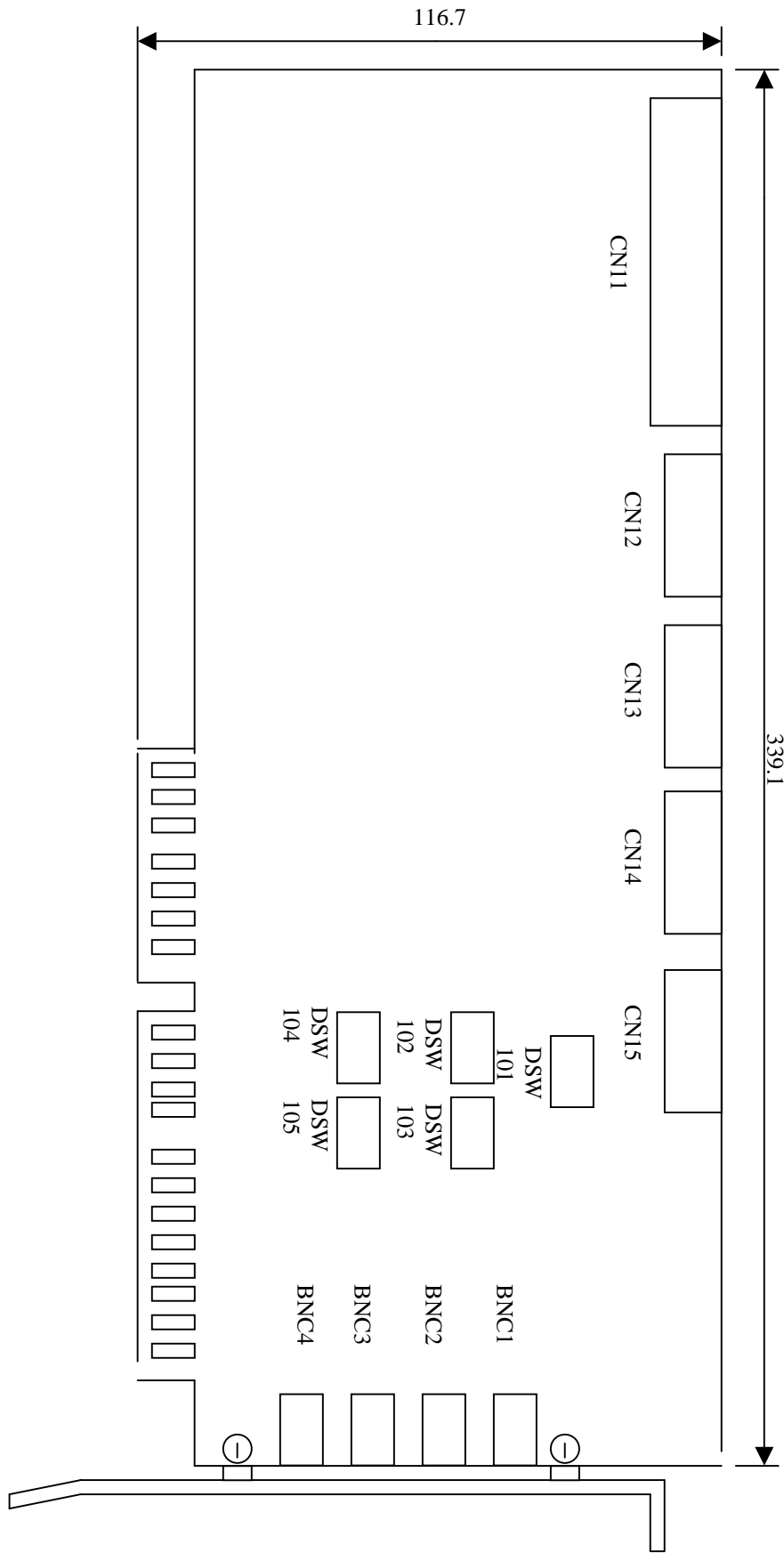


図12 部品配置図

9. マルチチャンネル・バッファード・シリアル・ポート

ADSP674-00には2チャンネルのマルチチャンネル・バッファード・シリアル・ポートがあります。

この通信ポートはDSPから直接配線されているのでバッファリングされていません。

各チャンネルのは個々のコネクタに接続されています。

【注意2】シリアルポートの接続ケーブル(ADSP674-**)はオプションです。

CN12		CH0	
No	信号名	No	信号名
1201	GND	1202	CLKS0
1203	GND	1204	CLKR0
1205	GND	1206	CLKX0
1207	GND	1208	DR0
1209	GND	1210	DX0
1211	GND	1212	FSR0
1213	GND	1214	FSX0
1215	GND	1216	
1217	GND	1218	
1219	GND	1220	

CN13		CH1	
No	信号名	No	信号名
1301	GND	1302	CLKS1
1303	GND	1304	CLKR1
1305	GND	1306	CLKX1
1307	GND	1308	DR1
1309	GND	1310	DX1
1311	GND	1312	FSR1
1313	GND	1314	FSX1
1315	GND	1316	
1317	GND	1318	
1319	GND	1320	

表32 CN12・CN13のピン配置

10. 添付品

品名	型式	数量	メーカー
BNC変換コネクタ	SMA(P) - BNC(J)	4	
ケーブル付きコネクタ	8825E-020-175-100S-G0	2	ケル

表33 添付品一覧

- ・ 本ボード及び本マニュアルの内容は製品の改良等のため予告無しに変更されることがありますので、ご了承下さい。

中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2-8

TEL <0532>61-9566

FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : cs@chubu-el.co.jp

ADSP674-00ハードウェアマニュアル

2004.11 第8版発行